

Microprocessadores e Aplicações

Acetatos de apoio às aulas teóricas

Ana Cristina Lopes
Dep. Engenharia Electrotécnica
<http://orion.ipt.pt> anacris@ipt.pt

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

1. Introdução;
2. Temporizadores associados;
3. Módulo CCP:
 - (a) Modo Captura;
 - (b) Modo Comparação;
 - (c) Modo PWM;
4. Módulo ECCP:
 - (a) Modo Captura;
 - (b) Modo Comparação;
 - (c) Modo PWM;
5. Módulo ADC.

- Módulo CCP e ADC

Módulo CCP

- **Introdução**

- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

O módulo CCP possui um registo de 16 bits que pode operar da seguinte forma:

- Registo de 16 bits de Captura;
- Registo de 16 bits de Comparação;
- Registo do Duty Cycle do PWM.

O modo de operação do módulo CCP é idêntico ao do módulo ECCP, existindo apenas duas diferenças:

- O modo de captura do módulo CCP possui um evento de disparo especial que pode ser utilizado na recepção de mensagens do módulo CAN;
- Por outro lado, o módulo ECCP possui uma funcionalidade especial de PWM, em que este é capaz de se auto-desligar (*auto-shutdown capability*);
- Por outro lado, o modo EPWM pode possuir até 4 saídas, as quais podem ser directamente ligadas a uma ponte em H completa ou a meia-ponte.

● Módulo CCP e ADC

Módulo CCP

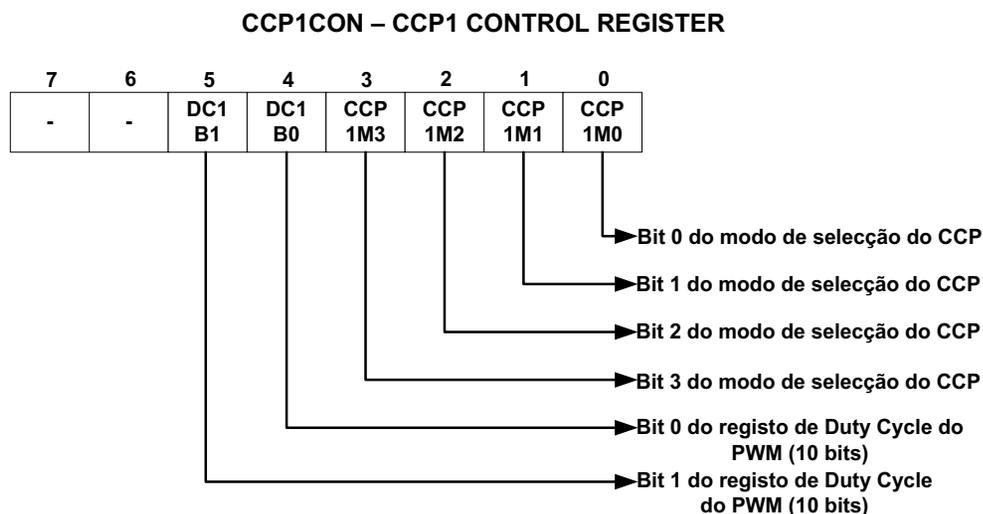
● **Introdução**

- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra os conteúdos do registo de controlo - CCP1CON do Módulo CCP.



Bit 3-0:

- 0000 = Reset do módulo CCP
- 0001 = Reservado
- 0010 = Modo Comparação – altera a saída se a comparação for igual (CCPxIF está a 1)
- 0011 = Modo Captura - recepção da mensagem - módulo CAN (só para o módulo CCP)
- 0100 = Modo Captura – em todos os flancos descendentes
- 0101 = Modo Captura – em todos os flancos ascendentes
- 0110 = Modo Captura – em cada 4º flanco ascendente
- 0111 = Modo Captura – em cada 16º flanco ascendente
- 1000 = Modo Comparação – inicializa pino CCP a zero, quando comparação igual força o pino CCP a 1 (CCPxIF está a 1)
- 1001 = Modo Comparação – inicializa pino CCP a um, quando comparação igual força o pino CCP a 0 (CCPxIF está a 1)
- 1010 = Modo Comparação – o pino CCP não é afectado (CCPxIF está a 1)
- 1011 = Modo Comparação – evento de disparo especial (quando CCPxIF está a 1, o módulo CCP faz o reset do timer 1 e 3 e inicia a conversão A/D, caso este módulo esteja activo)
- 11xx = Modo PWM

● Módulo CCP e ADC

Módulo CCP

● **Introdução**

- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

O registo de 16 bits associado ao módulo CCP designa-se por CCPR1 (*CCP Register 1*) e é composto por 2 registos de 8 bits:

- CCPR1L (byte menos significativo);
- CCPR1H (byte mais significativo).

O registo CCP1CON controla a operação do CCP1. Todos estes registos são de escrita e leitura.

A Tabela seguinte mostra os recursos necessários ao módulo CCP.

Modo CCP1	Recurso (Temporizador)
Captura	Timer1 ou Timer3
Comparação	Timer1 ou Timer3
PWM	Timer2

● Módulo CCP e ADC

Módulo CCP

● Introdução

● **Timer 1 e 3**

● Timer 2

● Modo Captura

● Modo Comparação

● Modo PWM

Módulo ECCP

Módulo A/D

De seguida apresentam-se as características essenciais dos timers 1 e 3:

- Temporizadores/Contadores de 16 bits;
- Cada um dos timers possui dois registos de escrita/leitura de 8 bits (Timer1: TMR1L, TMR1H e Timer3:TMR3L, TMR3H);
- Possui um Prescaler que possibilita a divisão da frequência por: 2, 4 ou 8;
- Funções associadas:
 - ◆ Temporizador;
 - ◆ Contador síncrono;
 - ◆ Contador assíncrono.

● Módulo CCP e ADC

Módulo CCP

● Introdução

● **Timer 1 e 3**

● Timer 2

● Modo Captura

● Modo Comparação

● Modo PWM

Módulo ECCP

Módulo A/D

De seguida continua-se a apresentar as características essenciais dos timers 1 e 3:

- O timer1 tem também a capacidade de operar a partir de um cristal externo (oscilador de baixa potência com frequência até 50 kHz) que pode ser ligado entre os pinos T1OSI e T1OSO;
- Interrupção desencadeada por overflow: de FFFFh para 0000h;
- Os bits relativos à interrupção do timer1 estão nos registos PIR1, PIE1 e IPR1;
- Os bits relativos à interrupção do timer3 estão nos registos PIR2, PIE2 e IPR2;
- Reset controlado pelo módulo CCP (timer 1) e pelos módulos CCP e ECCP (timer 3).

● Módulo CCP e ADC

Módulo CCP

● Introdução

● Timer 1 e 3

● Timer 2

● Modo Captura

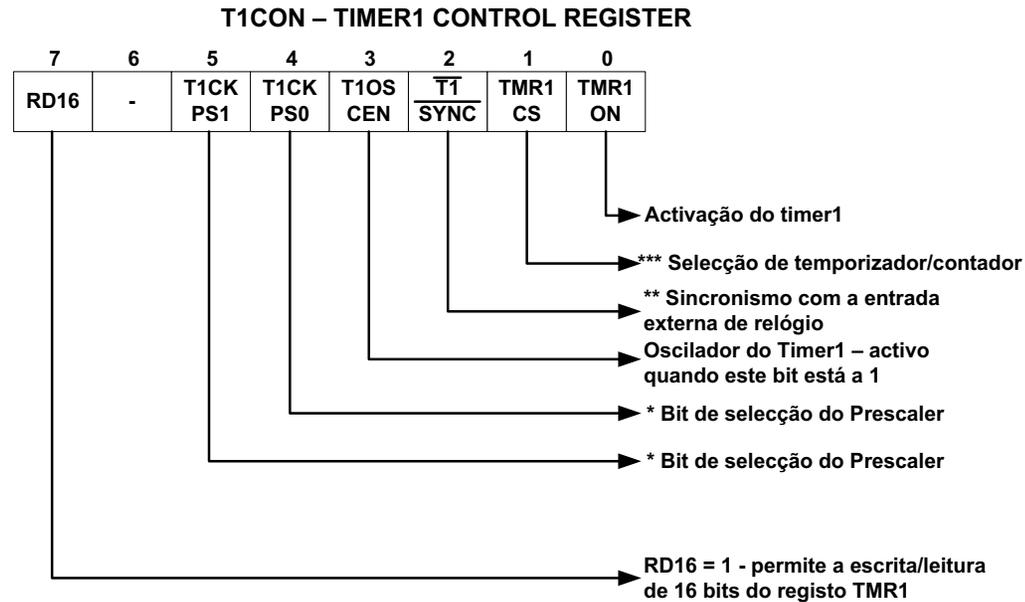
● Modo Comparação

● Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra os conteúdos do registo de controlo - do Timer 1.



* T1CKPS1:T1CKPS0: bits de selecção Prescaler do Timer1:

- 11 = 1:8
- 10 = 1:4
- 01 = 1:2
- 00 = 1:1

** Activação da sincronização da entrada externa de relógio do Timer1:

Se TMR1CS = 1:

- 1 - Não sincroniza com a extrada externa de relógio
- 0 – Sincroniza com a entrada externa de relógio

*** Selecção da fonte de relógio: se TMR1CS = 1 transição ascendente no pino de entrada T1CKI (modo contador); se TMR1CS = 0 ciclo de instrução interno (modo temporizador – Fosc/4).

● Módulo CCP e ADC

Módulo CCP

● Introdução

● Timer 1 e 3

● Timer 2

● Modo Captura

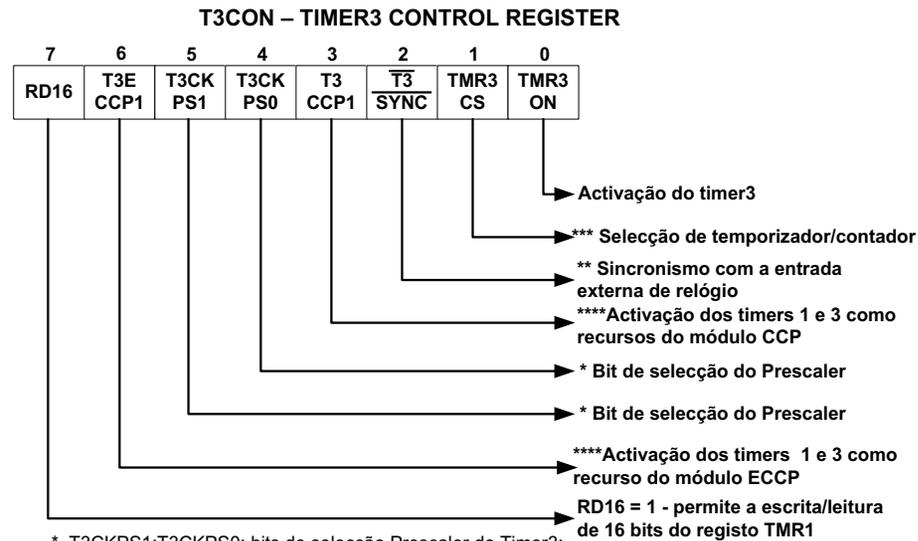
● Modo Comparação

● Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra os conteúdos do registo de controlo - do Timer 3.



* T3CKPS1:T3CKPS0: bits de selecção Prescaler do Timer3:
 11 = 1:8
 10 = 1:4
 01 = 1:2
 00 = 1:1

** Activação da sincronização da entrada externa de relógio do Timer3:
 Se TMR3CS = 1:
 1 - Não sincroniza com a entrada externa de relógio
 0 - Sincroniza com a entrada externa de relógio

*** Selecção da fonte de relógio: se TMR3CS = 1 transição ascendente no pino de entrada T1CKI (modo contador); se TMR3CS = 0 ciclo de instrução interno (modo temporizador - Fosc/4).

**** Bit 6,3:
 1x = Timer3 é a fonte de relógio para modos de comparação e captura dos módulos CCP1 e ECCP1
 01 = Timer3 é a fonte de relógio para modos de comparação e captura do módulo ECCP1 e timer 1 é a fonte de relógio para os mesmos modos do módulo CCP1
 00 = Timer1 é a fonte de relógio para modos de comparação e captura dos módulos CCP1 e ECCP1

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3

● **Timer 2**

- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

De seguida apresentam-se as características essenciais do Timer2:

- Temporizador de 8 bits (registo TMR2);
- Registo de 8 bits para o período (PR2);
- Ambos os registos são de escrita e de leitura;
- Possui um Prescaler programável por software que possibilita a divisão da frequência por: 4 ou 16;
- Possui um Postscaler programável por software que possibilita a divisão da frequência por 2 ou 16;

- Módulo CCP e ADC

- Módulo CCP

- Introdução

- Timer 1 e 3

- **Timer 2**

- Modo Captura

- Modo Comparação

- Modo PWM

- Módulo ECCP

- Módulo A/D

Características essenciais do Timer2:

- Note-se que o postscaler e o prescaler são limpos sempre que ocorre:
 - ◆ Escrita no registo TMR2;
 - ◆ Escrita do registo T2CON;
 - ◆ Qualquer tipo de RESET (BOR, WTD, POR, etc).
- Interrupção desencadeada quando o registo TMR2 coincide com o registo PR2 (o Timer2 incrementa o registo TMR2 de 00h até que coincida com PR2, nesta altura o evento de interrupção do Timer2 é desencadeado e no próximo ciclo de instrução o valor do contador será 00h);
- Os bits relativos à interrupção do timer2 estão nos registos PIR2, PIE2 e IPR2.

A Figura seguinte mostra os conteúdos do registo de controlo - do Timer2.

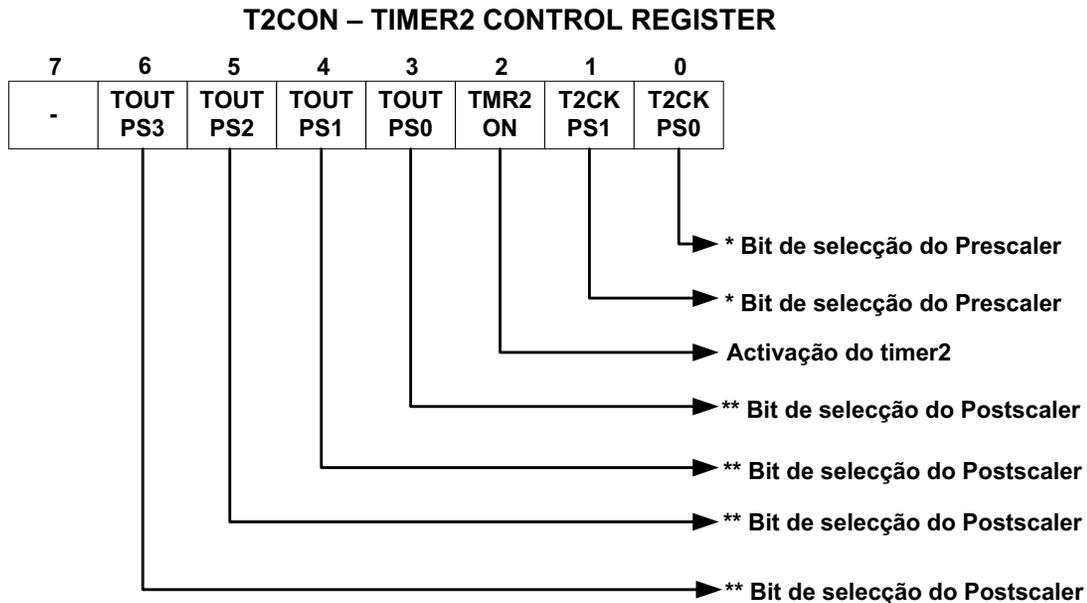
● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- **Timer 2**
- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D



* T2CKPS1:T2CKPS0: bits de selecção Prescaler do Timer2:

- 1x = 1:16
- 01 = 1:4
- 00 = 1:1

** TOUTPS3:TOUTPS0: bits de selecção Postscaler do Timer2:

- 0000 = 1:1
- 0001 = 1:2
- .
- .
- 1111 = 1:16

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3

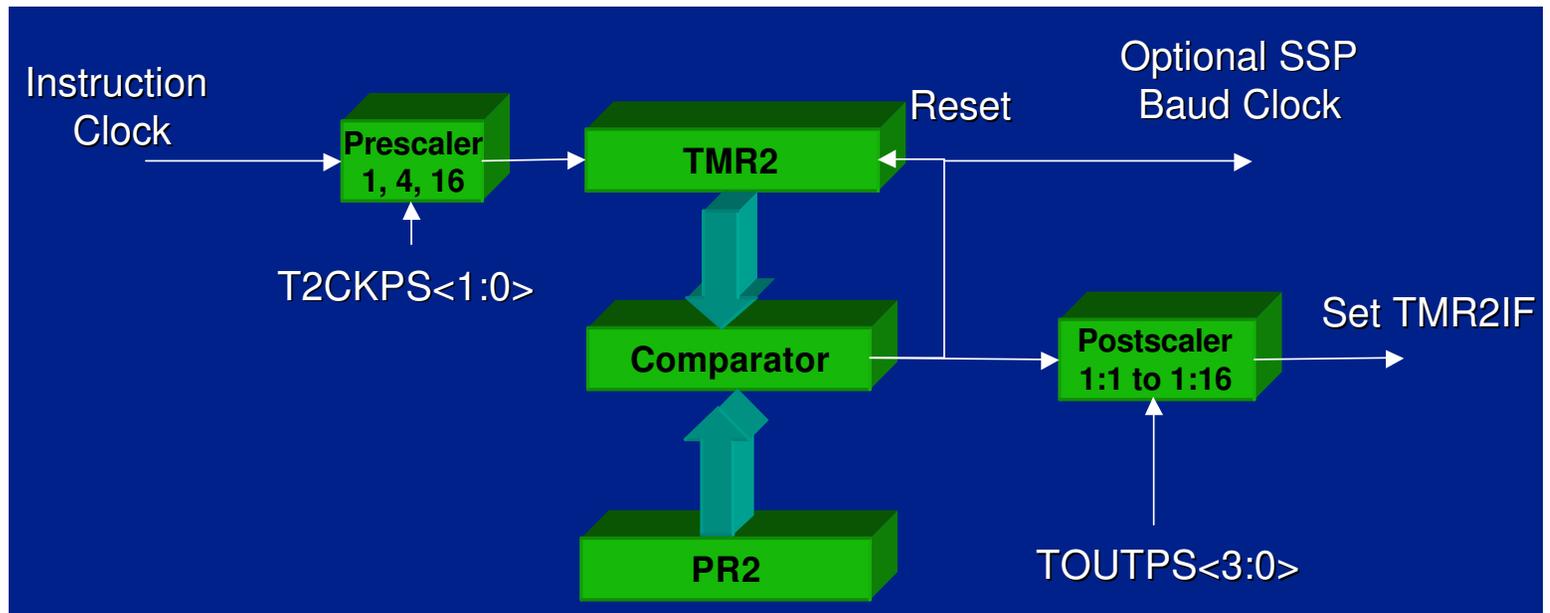
● **Timer 2**

- Modo Captura
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra o diagrama de blocos do Timer2



● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- **Modo Captura**
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

No modo de Captura, assim que ocorre um evento no pino RC2/CCP1, o registo CCPR1H:CCP1RL vai buscar o valor actual do registo TMR1 ou TMR3. O evento pode ser definido numa das seguintes formas (de acordo com o estabelecido no registo CCP1CON):

- Em cada flanco descendente;
- Em cada flanco ascendente;
- Em cada 4^o flanco ascendente;
- Em cada 16^o flanco ascendente.

Assim que a captura é feita, a flag CCP1IF, do registo PIR1, fica 1.

Como qualquer outra flag, também esta deve ser apagada por software dentro da ISR.

Se ocorrer uma nova captura antes do valor em CCPR1 ser lido, o valor antigo será perdido.

- Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- **Modo Captura**
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

Note-se que no modo captura o pino RC2/CCP1 deverá ser configurado como entrada:

```
TRISCbits.TRISC2 = 1
```

Não esquecer que o periférico CCP1 não tem capacidade de ignorar o registo TRIS, devendo as entradas e saídas estar configuradas de forma correcta.

Relativamente aos timers (1 ou 3) usados na captura é necessário ter os seguintes cuidados com a sua configuração:

- O timer deve estar a correr no modo temporizador ou contador síncrono;
- A captura pode não funcionar para o modo contador assíncrono;
- O timer utilizado em cada módulo CCP é seleccionado no registo T3CON.

- Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- **Modo Captura**
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

A Tabela seguinte mostra a interacção entre os módulos CCP1 e ECCP1:

Modo CCP1	Modo ECCP1	Interacção
Captura	Captura	Base de tempo do TMR1 ou TMR3, a qual pode ser diferente para cada CCP
Captura	Comparação	O modo de comparação pode ser configurado com o evento de disparo especial que limpa o TMR1 ou TMR3, consoante o timer seleccionado
Comparação	Comparação	O(s) modo(s) de comparação pode(m) ser configurado(s) com o evento de disparo especial que limpa o TMR1 ou TMR3, consoante o timer seleccionado
PWM	PWM	Os PWMs terão a mesma frequência e taxa de actualização (interrupção do TMR2)
PWM	Captura	Nenhuma
PWM	Comparação	Nenhuma

● Módulo CCP e ADC

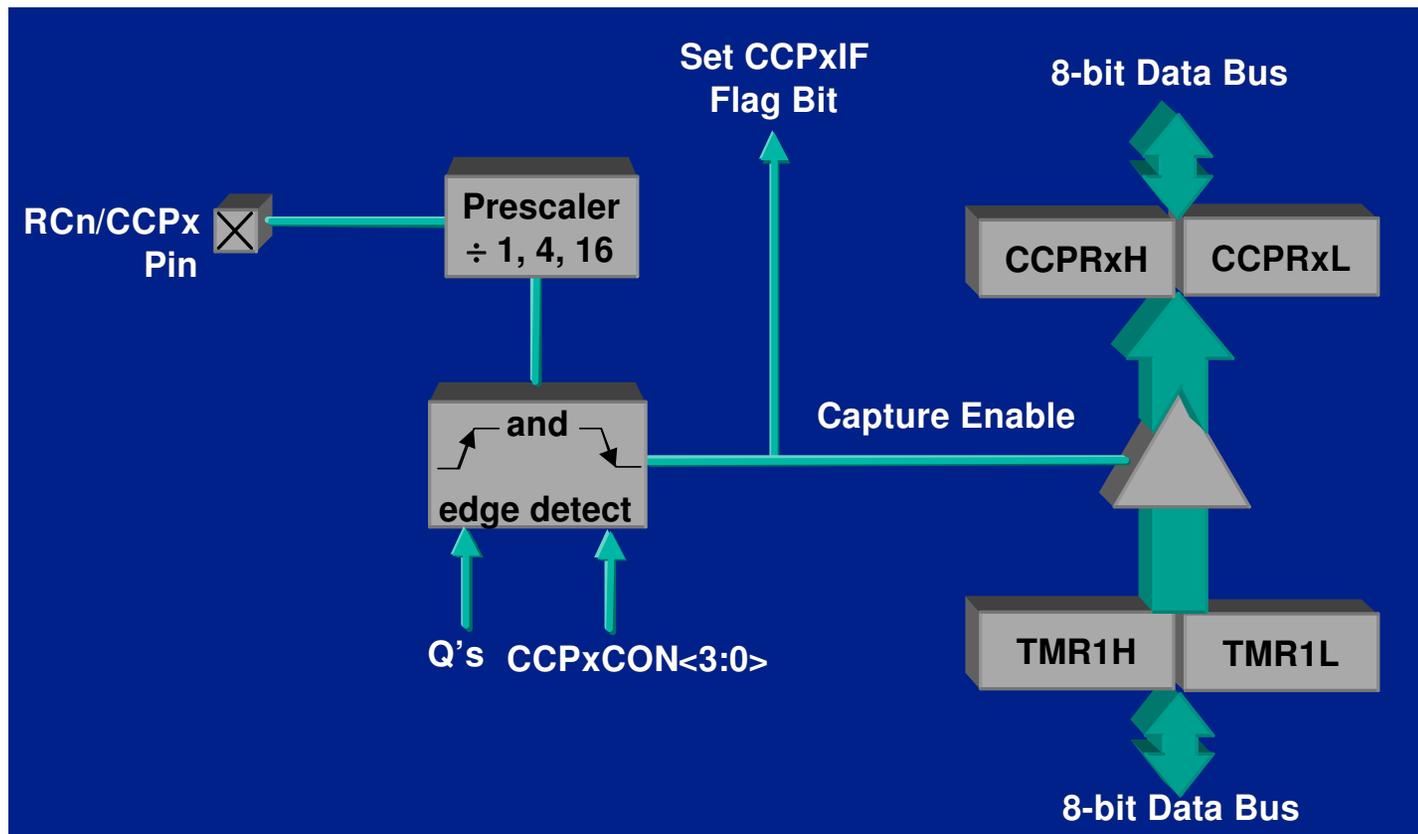
Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- **Modo Captura**
- Modo Comparação
- Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra o diagrama de blocos referente ao modo de captura.



● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- **Modo Comparação**
- Modo PWM

Módulo ECCP

Módulo A/D

No modo de comparação, os valores dos registos de 16 bits CCPR1 e ECCPR1 são constantemente comparados com TMR1 ou TMR3.

Assim que o resultado da comparação seja igual será desencadeada uma das seguintes acções no pino CCP1:

- Colocado no nível alto;
- Colocado no nível baixo;
- Trocar o nível da saída (alto para baixo ou baixo para alto);
- Não ocorrer nenhuma alteração.

Note-se que a acção a desencadear no pino CCP1 depende do valor dos bits de controlo CCP1M3:CCP1M0 do registo CCP1CON.

Sempre que o resultado da comparação for igual, desencadeia-se um evento de interrupção e a flag CCP1IF do registo PIR1 é colocada a 1. Esta flag, tal como as outras, deve ser apagada por software dentro da ISR.

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- **Modo Comparação**
- Modo PWM

Módulo ECCP

Módulo A/D

Note-se que no modo comparação o pino RC2/CCP1 deverá ser configurado como saída:

`TRISCbits.TRISC2 = 0`

Não esquecer que o periférico CCP1 não tem capacidade de ignorar o registo TRIS, devendo as entradas e saídas estar configuradas de forma correcta.

Relativamente aos timers (1 ou 3) usados na comparação é necessário ter os seguintes cuidados com a sua configuração:

- O timer deve estar a correr no modo temporizador ou contador síncrono;
- A comparação pode não funcionar para o modo contador assíncrono;
- O timer utilizado em cada módulo CCP é seleccionado no registo T3CON.

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- **Modo Comparação**
- Modo PWM

Módulo ECCP

Módulo A/D

Existem ainda mais dois modos de comparação, designadamente:

- Modo de interrupção - neste modo a interrupção é gerada, caso esteja permitida, assim que a comparação é igual (a flag CCP1IF fica a 1), mas o pino CCP1 mantém-se inalterado;
- Modo de disparo especial - neste modo o evento de disparo especial do módulo CCP1 faz o reset dos registos do timer 1 ou do timer3;
- Adicionalmente, o evento de disparo especial do modo ECCP1, para além do reset de um dos timers, inicia a conversão A/D, caso o módulo A/D esteja activo;
- Note-se que o evento de disparo especial do módulo ECCP1 não colocará a 1 as flags de interrupção dos timers 1 ou 3.

● Módulo CCP e ADC

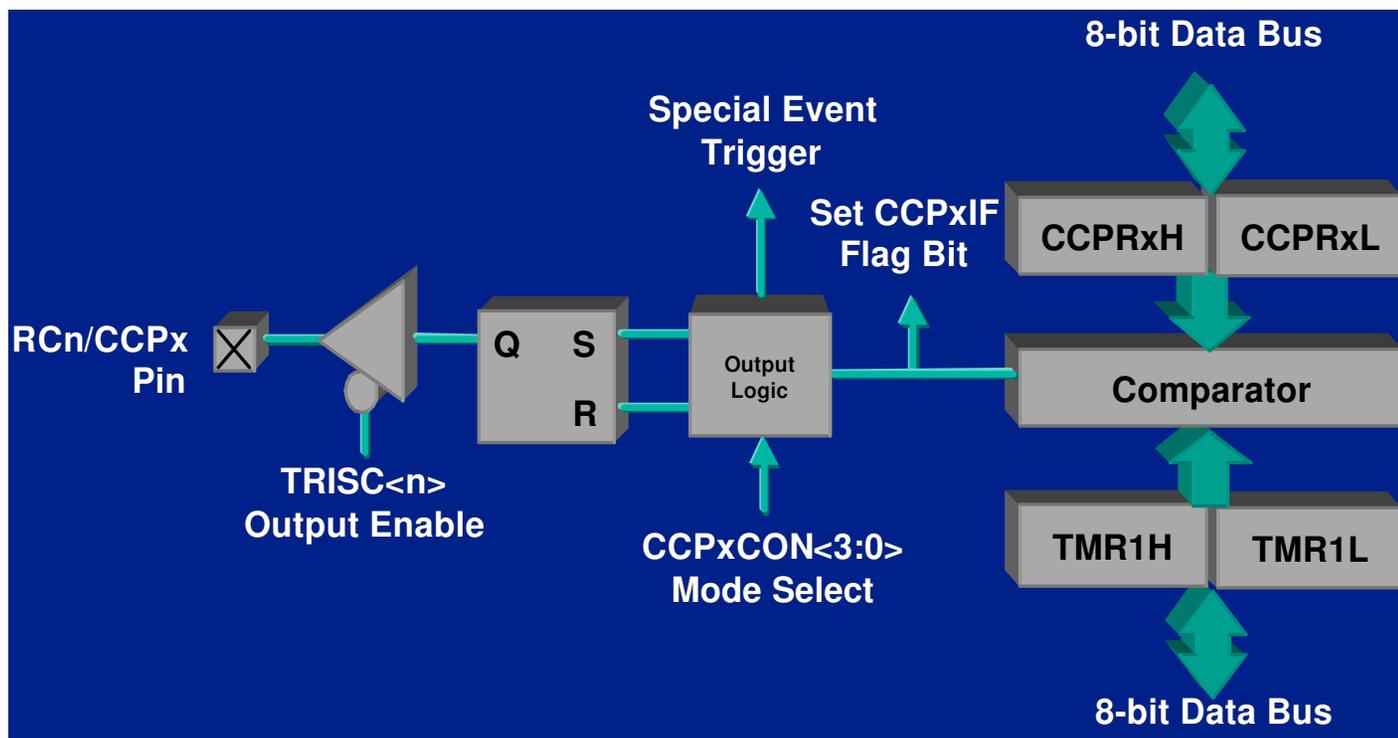
Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- **Modo Comparação**
- Modo PWM

Módulo ECCP

Módulo A/D

A Figura seguinte mostra o diagrama de blocos referente ao modo de comparação.





● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

Módulo ECCP

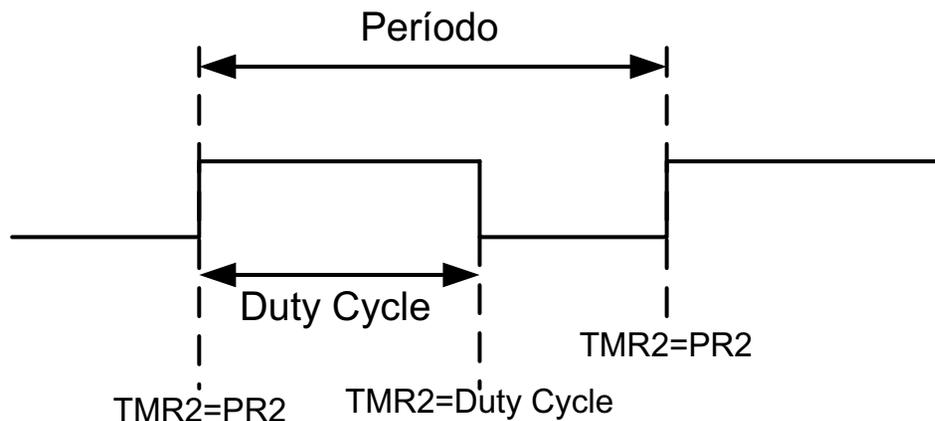
Módulo A/D

No modo de modulação da largura de impulso, PWM, o pino CCP1 apresenta uma saída PWM com uma resolução até 10 bits.

Como o pino CCP1 está multiplexado com o latch de dados do Porto C, o bit 2 do registo TRISC tem de ser colocado a zero, por forma a que o pino CCP1 funcione como saída;

A saída PWM caracteriza-se por dois factores essenciais: o período da onda de saída e o tempo que a saída está no nível alto para cada período, o qual se designa por *Duty Cycle*.

A Figura seguinte mostra esta relação.



A Figura seguinte mostra o diagrama de blocos simplificado do módulo PWM.

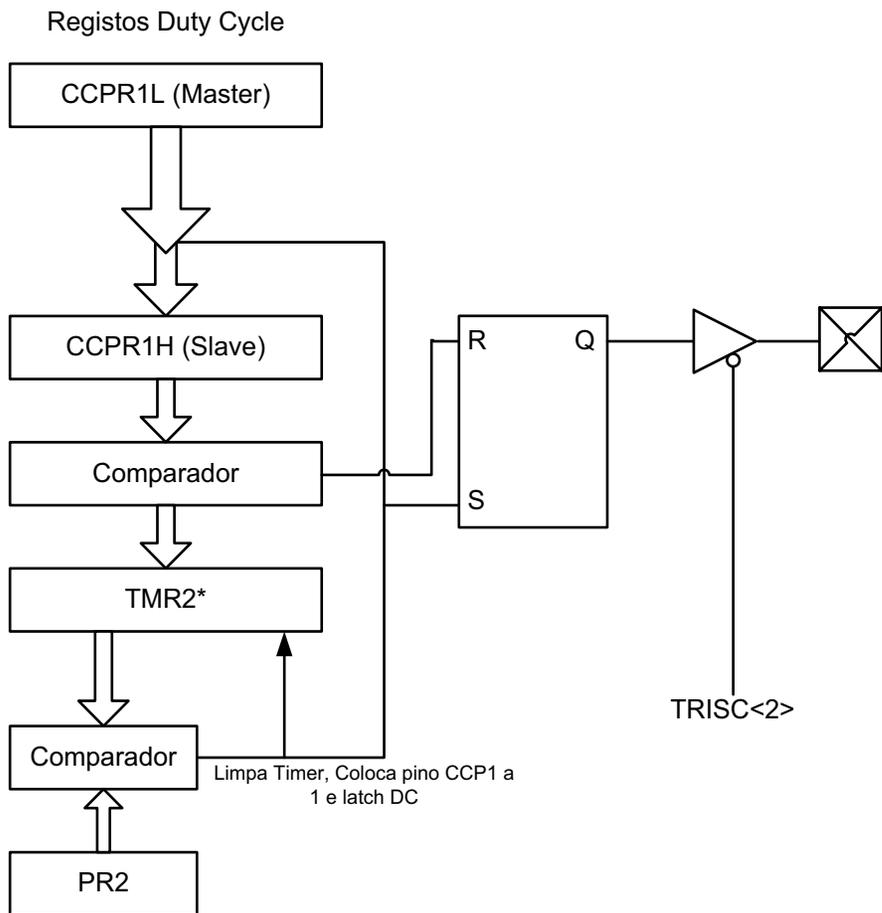
● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

Módulo ECCP

Módulo A/D



* O timer de 8 bits está concatenado com o relógio interno de 2 bits ou com 2 bits do pre-scaler de modo a formar uma base de tempo de 10 bits

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

Módulo ECCP

Módulo A/D

O período do PWM é escrito no registo PR2.

O período do PWM (P_PWM) pode ser calculado através da seguinte fórmula:

$$(1) \quad P_PWM = [(PR2) + 1] \times 4 \times T_{OSC} \times (PSTMR2)$$

Onde PS designa Valor de Prescale.

A frequência do PWM é definida como $1/[P_PWM]$.

Quando o TMR2 é igual ao PR2, podem ocorrer os seguintes eventos:

- O TMR2 é limpo;
- O pino CCP1 é colocado a 1 (excepto se o duty cycle é igual a 0%);
- O duty cycle é passado de CCPR1L para CCPR1H.

- Módulo CCP e ADC

- Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

- Módulo ECCP

- Módulo A/D

O duty cycle é especificado no registo CCPR1L e escrevendo de forma adequada os bits 5 e 4 do registo CCP1CON.

O registo CCPR1L contém os 8 bits mais significativos e o registo de controlo possui (no 4^o e 5^o bit) os dois bits menos significativos que perfazem o duty cycle.

Este valor de 10 bits designa-se normalmente da seguinte forma: CCPR1L:CCP1CON<5:4>. A equação seguinte é utilizada no cálculo do duty cycle:

$$(2) \quad DC = CCPR1L : CCP1CON < 5 : 4 > \times T_{OSC} \times (PSTMR2)$$

Onde DC designa Duty Cycle.

Note-se que CCPR1L:CCP1CON<5:4> podem ser escritos em qualquer altura. Porém o valor em CCPR1L só passa para CCPR1H quando houver uma coincidência entre PR2 e TMR2 (ou seja, quando o período da onda está completo).

- Módulo CCP e ADC

- Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

- Módulo ECCP

- Módulo A/D

No modo PWM o registo CCPR1H é apenas de leitura.

Quando este registo em conjunto com mais 2 latches (os 2 bits que são provenientes dos 4^o e 5^o bits do CCP1CON, o que iguala os 10 bits necessários) coincidem com o TMR2 e os dois bits adicionais (relógio interno ou prescaler), o pino CCP1 é colocado a zero.

A resolução máxima do PWM (bits) para uma dada frequência de PWM é dada pela expressão:

$$(3) \quad R_{PWM_{max}} = \frac{\log\left(\frac{F_{OSC}}{F_{PWM}}\right)}{\log(2)} \text{ bits}$$

Se o valor do duty cycle for superior ao valor do período da onda, o pino CCP1 nunca será limpo.

● Módulo CCP e ADC

Módulo CCP

- Introdução
- Timer 1 e 3
- Timer 2
- Modo Captura
- Modo Comparação
- **Modo PWM**

Módulo ECCP

Módulo A/D

De seguida apresentam-se os passos de configuração do módulo CCP para a operação PWM.

1. Configurar o período da onda, escrevendo-o em PR2;
2. Configurar o duty cycle escrevendo-o em CCPR1L e CCP1XON<5:4>;
3. Configurar o pino CCP1 como saída, colocando a zero o bit 2 do TRISC;
4. Configurar o valor de prescale do Timer2 e activar o Timer2 através do registo T2CON;
5. Configurar o módulo CCP1 para a operação PWM.

De seguida apresenta-se uma Tabela com alguns exemplos de frequências e resoluções a 40MHz.

Frequência PWM (kHz)	2,44	9,76	39,06	156,3	312,5	416,6
Prescaler (1,4,16)	16	4	1	1	1	1
Valor PR2	0FFh	0FFh	0FFh	3Fh	1Fh	17H
Resolução máxima (bits)	10	10	10	8	7	5,5

Existem duas diferenças essenciais entre o módulo CCP1 e ECCP1:

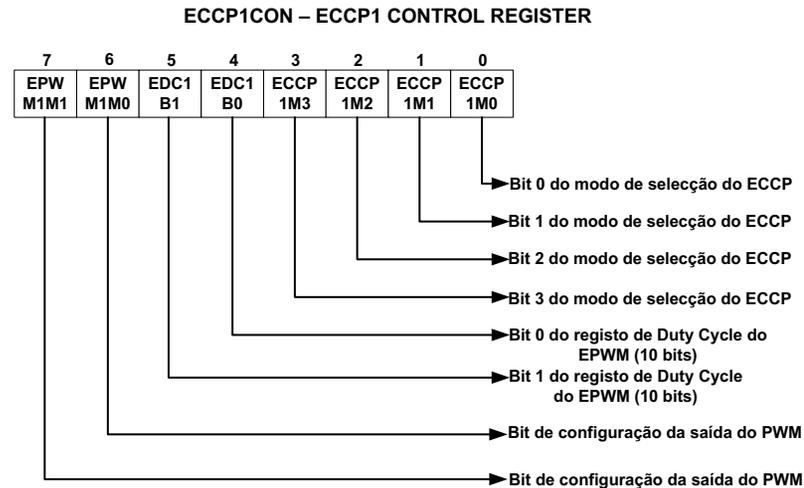
1. O módulo ECCP1 possui um módulo Enhanced PWM adicional com 4 canais de saída e polaridade seleccionada pelo utilizador;
2. O módulo ECCP pode ainda ser programado para se auto-desligar mediante a ocorrência de determinados eventos analógicos ou digitais.

O modo de Captura é igual ao do módulo CCP. As diferenças relacionam-se apenas com os registos e pinos envolvidos:

- Registo de Captura - ECCPR1 (ECCPR1H:ECCPR1L);
- Configuração deste modo - bits 0 a 3 do registo ECCP1CON;
- Bits de interrupção associados - ECCP1IE (PIE2<0>) e ECCP1IF (PIR2<0>);
- O pino de entrada de captura é o RD4 e o bit de controlo de direcção é o TRISD<4>.

O modo de comparação também é igual ao do módulo CCP, mas tal como no modo de captura, existem diferenças nos registos e no pino. Porém estas diferenças são idênticas ao modo de captura.

De seguida apresentam-se os conteúdos do registo de controlo do módulo ECCP1 - ECCP1CON.



Bit 7-6: Se $ECCP1M<3:2>=11$ – modo PWM:

- 00 = Saída simples - P1A modulada e P1B, P1C e P1D são pinos normais de I/O
- 01 = Saída directa para ponte completa – P1D modulada, P1A activa, P1B e P1C inactivas
- 10 = Saída para meia-ponte – P1A e P1B moduladas com controlo de banda morta e P1C e P1D pinos de I/O normais
- 11 = Saída inversa para ponte completa – P1B modulada, P1C activa, P1A e P1D inactivas

Bit 3-0:

- 0000 = Reset do módulo CCP
- 0001 = Reservado
- 0010 = Modo Comparação – altera a saída se a comparação for igual (CCPxIF está a 1)
- 0011 = Modo Captura - recepção da mensagem - módulo CAN (só para o módulo CCP)
- 0100 = Modo Captura – em todos os flancos descendentes
- 0101 = Modo Captura – em todos os flancos ascendentes
- 0110 = Modo Captura – em cada 4º flanco ascendente
- 0111 = Modo Captura – em cada 16º flanco ascendente
- 1000 = Modo Comparação – inicializa pino CCP a zero, quando comparação igual força o pino CCP a 1 (CCPxIF está a 1)
- 1001 = Modo Comparação – inicializa pino CCP a um, quando comparação igual força o pino CCP a 0 (CCPxIF está a 1)
- 1010 = Modo Comparação – o pino CCP não é afectado (CCPxIF está a 1)
- 1011 = Modo Comparação – evento de disparo especial (quando CCPxIF está a 1, o módulo CCP faz o reset do timer 1 e 3 e inicia a conversão A/D, caso este módulo esteja activo)
- 11xx = Modo PWM

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

● Módulo ECCP

Módulo A/D

Para além dos registos ECCPR1 e ECCP1CON existem ainda mais dois registos que controlam o modo adicional da função PWM, designadamente os registos ECCPAS e ECCP1DEL.

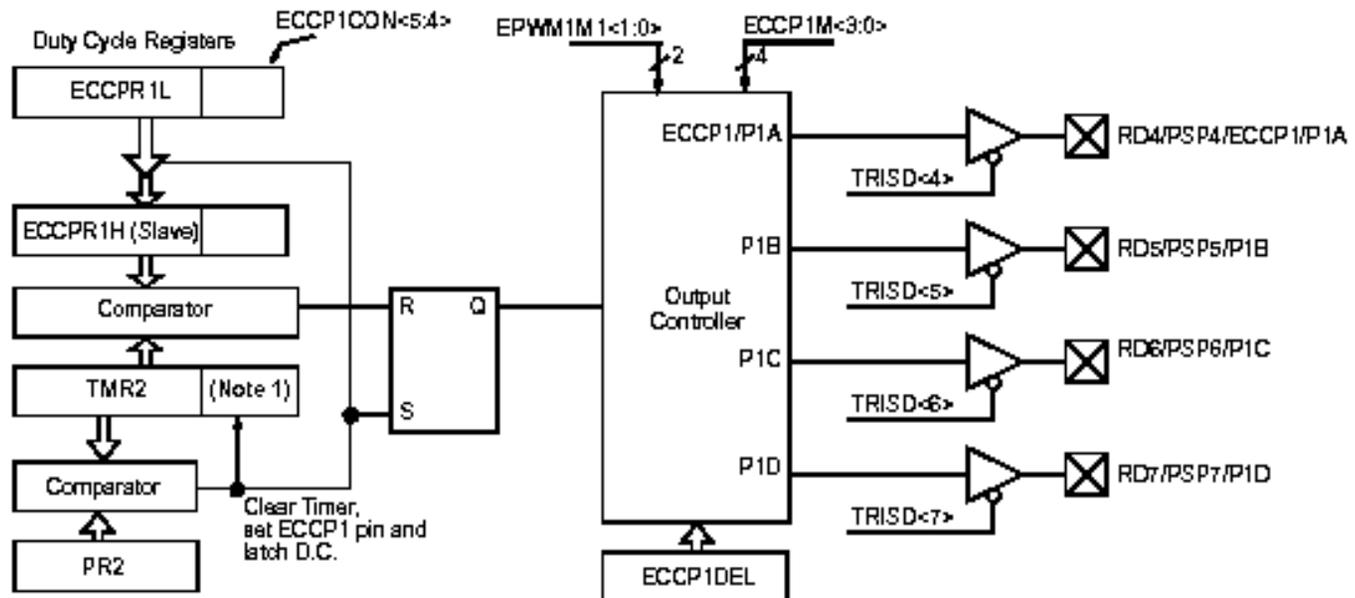
No modo PWM, o módulo ECCP pode ter até 4 saídas activas, dependendo do modo de operação seleccionado no registo ECCP1CON.

Estas saídas estão multiplexadas com o porto D e com o Parallel Slave Port.

Quando configurado em saída simples o PWM tem um funcionamento idêntico ao do módulo CCP a menos das diferenças de registos e pinos envolvidos.

As restantes configurações permitem saídas para meia-ponte, saídas para ponte completa em modo directo e saídas para ponte completa em modo inverso.

A Figura seguinte mostra o diagrama de blocos simplificado do módulo ECCP.



● Módulo CCP e ADC

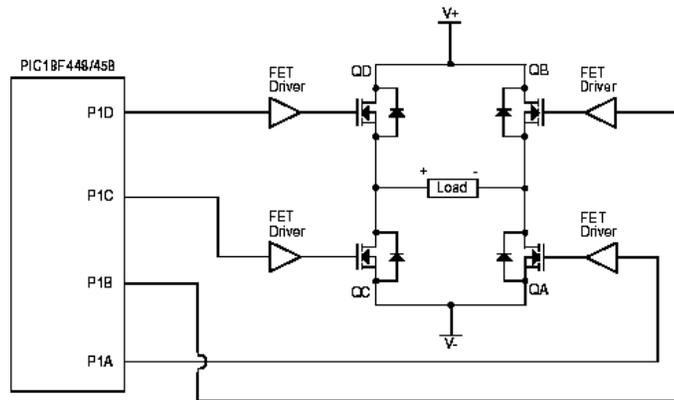
Módulo CCP

Módulo ECCP

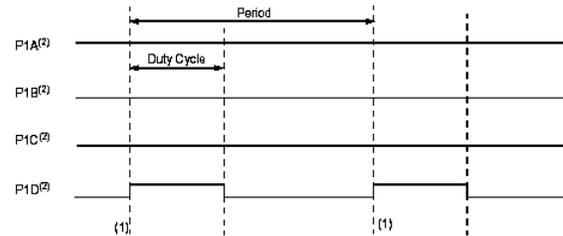
● Módulo ECCP

Módulo A/D

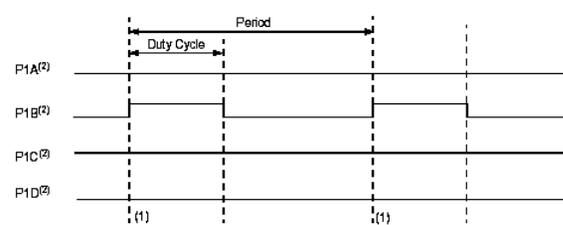
A Figura seguinte mostra o exemplo de uma ligação a uma ponte completa e respectivas ondas.



FORWARD MODE



REVERSE MODE



● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

O módulo de conversão analógica-digital do PIC18F458 tem 8 entradas.

O resultado da conversão analógica digital é armazenado em 10 bits dos registos ADRES (16 bits).

O módulo A/D tem quatro registos, designadamente:

- Registo mais significativo do resultado da conversão analógico-digital-ADRESH;
- Registo menos significativo do resultado da conversão analógico-digital-ADRESL;
- Registo de controlo 0 - ADCON0;
- Registo de controlo 1 - ADCON1.

O registo ADCON0 controla a operação do módulo A/D, enquanto que o registo ADCON1 configura as funções dos pinos dos portos A e E.

As Figuras seguintes mostram os conteúdos dos registos ADCON0 e ADCON1.

● Módulo CCP e ADC

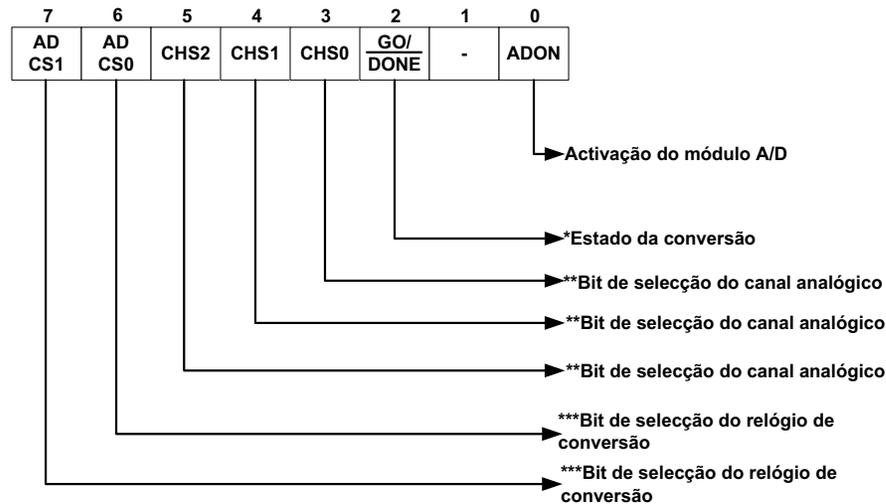
Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

ADCON0 – A/D CONTROL REGISTER 0



***Seleção do relógio de conversão – note-se que o bit mais significativo pertence ao registo ADCON1

ADCON1 <ADCS2>	ADCON0 <ADCS1:ADCS0>	Relógio de Conversão
0	00	$F_{osc}/2$
0	01	$F_{osc}/8$
0	10	$F_{osc}/32$
0	11	FRC (oscilador RC interno do módulo A/D)
1	00	$F_{osc}/4$
1	01	$F_{osc}/16$
1	10	$F_{osc}/64$
1	11	FRC (oscilador RC interno do módulo A/D)

**Seleção do canal analógico:

- 000 = Canal 0 (AN0)
- 001 = Canal 1 (AN1)
- 010 = Canal 2 (AN2)
- 011 = Canal 3 (AN3)
- 100 = Canal 4 (AN4)
- 101 = Canal 5 (AN5)
- 110 = Canal 6 (AN6)
- 111 = Canal 7 (AN7)

*Estado da Conversão:

Se ADON = 1:

- 1 = Conversão A/D em progresso (este bit é apagado por hardware)
- 0 = Conversão terminada

● Módulo CCP e ADC

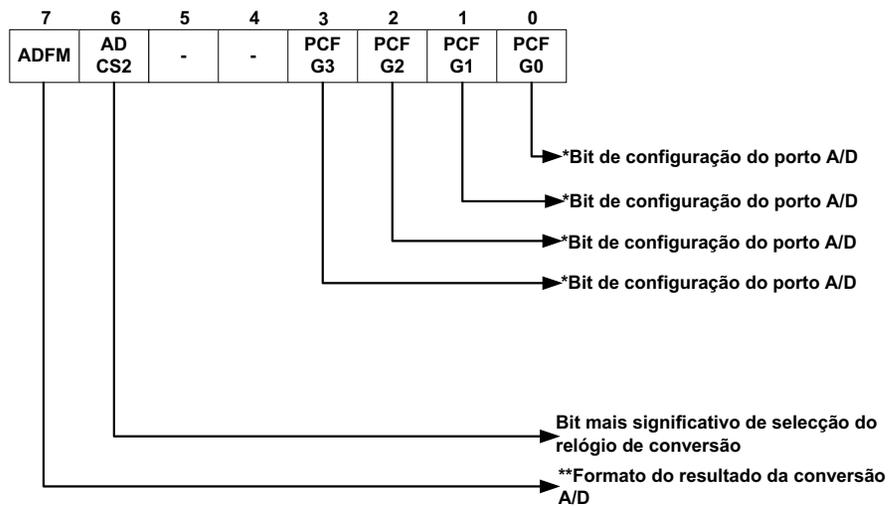
Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

ADCON0 – A/D CONTROL REGISTER 0



*Bits de configuração do porto A/D

PCFG	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	V _{REF+}	V _{REF-}	C/R
0000	A	A	A	A	A	A	A	A	V _{DD}	V _{SS}	8/0
0001	A	A	A	A	V _{REF+}	A	A	A	AN3	V _{SS}	7/1
0010	D	D	D	A	A	A	A	A	V _{DD}	V _{SS}	5/0
0011	D	D	D	A	V _{REF+}	A	A	A	AN3	V _{SS}	4/1
0100	D	D	D	D	A	D	A	A	V _{DD}	V _{SS}	3/0
0101	D	D	D	D	V _{REF+}	D	A	A	AN3	V _{SS}	2/2
011x	D	D	D	D	D	D	D	D	-	-	0/0
1000	A	A	A	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	6/2
1001	D	D	A	A	A	A	A	A	V _{DD}	V _{SS}	6/0
1010	D	D	A	A	V _{REF+}	A	A	A	AN3	V _{SS}	5/1
1011	D	D	A	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	4/2
1100	D	D	D	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	3/2
1101	D	D	D	D	V _{REF+}	V _{REF-}	A	A	AN3	AN2	2/2
1110	D	D	D	D	D	D	D	A	V _{DD}	V _{SS}	1/0
1111	D	D	D	D	V _{REF+}	V _{REF-}	D	A	AN3	AN2	1/2

A = Entrada Analógica D = Entrada Digital

C/R = # de canais analógicos/ # de tensões A/D de referência

**Formato do resultado da conversão:

1 = Justificado à direita – os 6 bits mais significativos do ADRESH são lidos como zeros

0 = Justificado à esquerda – os 6 bits menos significativos do ADRESH são lidos como zeros

Entradas Analógicas - Diagrama de Blocos

- Módulo CCP e ADC

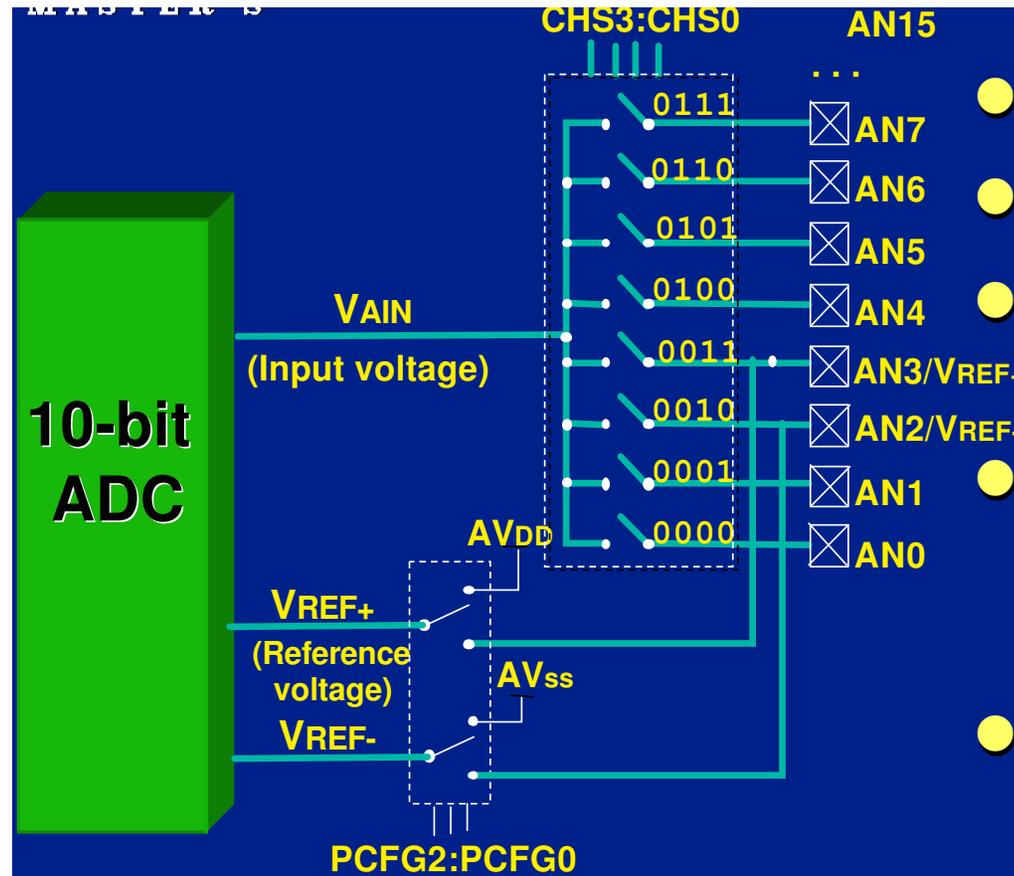
Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

A Figura seguinte mostra o diagrama de blocos simplificado do módulo A/D.



● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

De seguida apresentam-se as características principais do módulo A/D:

- A fonte da referência de tensão é seleccionada por software através da escolha do canal analógico no registo ADCON1;
- As fontes de tensão podem ser as fontes de tensão positiva e negativa do dispositivo (V_{ss} e V_{dd}) ou o nível de tensão no pino RA3/AN3/VREF+ e o nível no pino RA2/AN2/VREF-;
- Cada pino associado ao porto A/D pode ser configurado como entrada analógica ou digital ou entrada de tensão de referência, respeitando a configuração dos canais analógicos;
- Os registos ADRESH e ADRESL contém o resultado da conversão A/D;
- Quando a conversão A/D ficar completa, o resultado de 10 bits é carregado para o registo ADRES (de acordo com o formato escolhido no bit 7 do registo ADCON1) e o bit GO/\overline{DONE} é apagado;
- Para além disso a flag da interrupção associada ao final da conversão do valor analógico fica a 1 (ADIF).

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

De seguida apresentam-se os passos essenciais para a conversão A/D:

- Configurar os bits do registo TRISA e TRISE pretendidos como entradas analógicas como entradas;
- Configurar o módulo A/D:
 - ◆ Configurar o canal analógico pretendido (registo ADCON1);
 - ◆ Seleccionar a entrada analógica pretendida (registo ADCON0);
 - ◆ Seleccionar o relógio de conversão (registo ADCON0 e ADCON1);
 - ◆ Activar o módulo A/D (registo ADCON0);
- Configurar a interrupção A/D se pretendido: ADIF = 0; ADIE = 1 e GIE = 1
 - ◆ ADIF = 0;
 - ◆ ADIE = 1;
 - ◆ GIE = 1.

De seguida apresentam-se os restantes passos necessários à conversão A/D:

- Esperar pelo tempo de aquisição necessário;
- Iniciar a conversão - bit $\overline{GODONE} = 1$;
- Esperar até que a conversão A/D esteja completa, isto pode ser feito de duas formas:
 - ◆ Testar e ver quando o bit \overline{GODONE} fica a zero;
 - ◆ Esperar que ocorra o evento de interrupção de conversão terminada;
- Ler o registo ADRES e limpar o bit ADIF no caso de se estar a utilizar a interrupção;

Entradas Analógicas - Tempo de aquisição

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

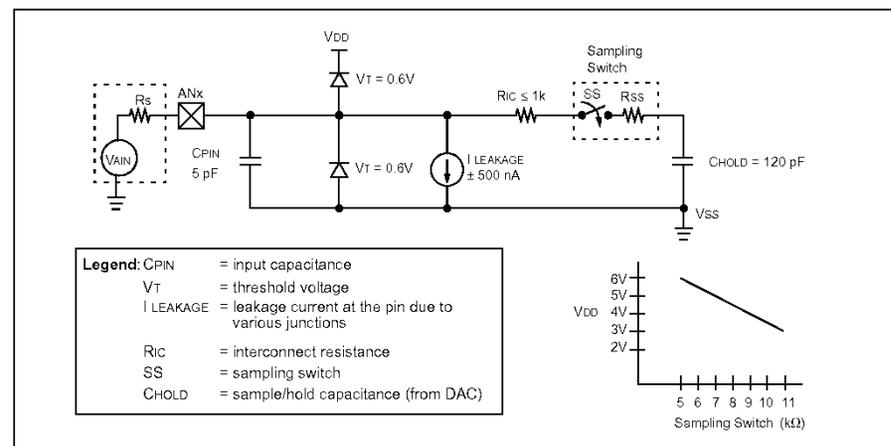
Módulo A/D

● Módulo A/D

Para que o conversor A/D seja fiável, o condensador designado por C_{HOLD} deve carregar totalmente até que o nível de tensão no canal de entrada seja obtido. A Figura apresenta o modelo de cada entrada analógica.

A impedância da fonte (R_S), cujo valor máximo recomendável é $2,5\text{ k}\Omega$ e a o interruptor responsável pela amostragem (R_{SS}) afectam directamente o tempo necessário para carregar C_{HOLD} . A figura mostra a variação de R_{SS} com V_{DD} .

Sempre que um canal analógico é seleccionado ou alterado, existe um tempo de aquisição necessário antes que ocorra a conversão propriamente dita.



Para determinar o tempo de aquisição mínimo deve-se utilizar a seguinte equação:

$$(4) \quad T_{AQC} = T_{AMP} + T_C + T_{COFF}$$

Onde: T_{AMP} é o tempo de estabelecimento do amplificador, T_C é o tempo de carga de C_{HOLD} e T_{COFF} é o coeficiente de temperatura.

De seguida apresenta-se um exemplo do cálculo tempo mínimo de aquisição, considerando as seguintes especificações:

- $C_{HOLD} = 120pF$;
- $R_S = 2,5k\omega$;
- Erro de conversão $\leq 1/2LSb$;
- $V_{DD} = 5V \implies R_{SS} = 7k\Omega$;
- Temperatura = $50^\circ C$ (máximo do sistema);
- $V_{HOLD} = 0V$ para tempo igual a 0 seg.

A equação seguinte mostra como se calcula o tempo de carga mínimo T_C :

$$\begin{aligned}
 T_C &= -C_{HOLD} \times (R_{1C} + R_{SS} + R_S) \times \ln\left(\frac{1}{2047}\right) \Leftrightarrow \\
 T_C &= -(120pF) \times (1k\Omega + R_{SS} + R_S) \times \ln\left(\frac{1}{2047}\right) \Leftrightarrow \\
 (5) \quad T_C &= -(120pF) \times (1k\Omega + 7k\Omega + 2,5k\Omega) \times \ln(0,0004885) \Leftrightarrow \\
 T_C &= -1,26\mu s \times (-7,6241) \Leftrightarrow \\
 T_C &= 9,61\mu s
 \end{aligned}$$

A equação seguinte mostra o valor de T_{AMP} e o cálculo de T_{COFF} :

$$\begin{aligned}
 T_{AMP} &= 2\mu s \\
 (6) \quad T_{COFF} &= (Temperatura - 25^\circ C) \times 0,05\mu s/^\circ C \Leftrightarrow \\
 T_{COFF} &= (50^\circ C - 25^\circ C) \times 0,05\mu s/^\circ C \Leftrightarrow \\
 T_{COFF} &= 1,25\mu s
 \end{aligned}$$

Cálculo do Tempo de Aquisição Mínimo

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

Com base nos resultados das equações anteriores é possível determinar o tempo mínimo de aquisição:

$$\begin{aligned}
 T_{ACQ} &= T_{AMP} + T_C + T_{COFF} \Leftrightarrow \\
 (7) \quad T_{ACQ} &= 2\mu s + 9,61\mu s + 1,25\mu s \Leftrightarrow \\
 T_{ACQ} &= 12,86\mu s
 \end{aligned}$$

Nota: Quando se utilizam fontes de tensão externa como referência, a impedância da fonte de tensão de referência deve ser inferior a 20Ω para que se obtenha a resolução de conversão A/D especificada. Impedâncias superiores aumentarão os erros quer do offset, quer dos ganhos.

Seleccção do relógio de conversão A/D

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

A conversão A/D por bit designa-se por T_{AD} .

A conversão A/D requer $12 T_{AD}$ para a conversão dos 10 bits.

A fonte de relógio para a conversão A/D é seleccionável por software através dos registos ADCON0 (bits ADCS0 e ADCS1) e ADCON1 (bit ADCS2), tal como visto anteriormente.

Para que a conversão A/D seja correcta deve-se assegurar um T_{AD} mínimo de $1,6\mu s$.

A Tabela seguinte mostra alguns exemplos de T_{AD} para determinadas frequências de dispositivos. Realça-se novamente que as opções que resultem num T_{AD} inferior a $1,6\mu s$ nunca devem ser seleccionadas.

Seleção do relógio de conversão A/D

● Módulo CCP e ADC

Módulo CCP

Módulo ECCP

Módulo A/D

● Módulo A/D

Relógio Conversão	ADCS2: ADCS1	T_{AD} 40MHz	T_{AD} 20MHz	T_{AD} 5MHz	T_{AD} 1,25MHz
$2 T_{OSC}$	000	50 ns	100 ns	400 ns	$1,6\mu s$
$4 T_{OSC}$	100	100 ns	200 ns	800 ns	$3,2\mu s$
$8 T_{OSC}$	001	200 ns	400 ns	$1,6\mu s$	$6,4\mu s$
$16 T_{OSC}$	101	400 ns	800 ns	$3,2\mu s$	$12,8\mu s$
$32 T_{OSC}$	010	800 ns	$1,6\mu s$	$6,4\mu s$	$25,6\mu s$
$64 T_{OSC}$	110	$1,6\mu s$	$3,2\mu s$	$12,8\mu s$	$51,2\mu s$
RC	011	$2-6\mu s$	$2-6\mu s$	$2-6\mu s$	$2-6\mu s$

Nota importante: Após uma mudança de canal analógico, ou caso uma aquisição de um sinal A/D aborte é necessário fazer uma espera de pelo menos $2 T_{AD}$ para que a nova aquisição se inicie, no mesmo ou em outro canal analógico.