

# Microprocessadores e Aplicações

## *Acetatos de apoio às aulas teóricas*

Ana Cristina Lopes  
Dep. Engenharia Electrotécnica  
<http://orion.ipt.pt> [anacris@ipt.pt](mailto:anacris@ipt.pt)

- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

## 1. Interrupções;

- (a) Introdução;
- (b) Registos Envolvidos;
- (c) Manipulação das Interrupções;
- (d) Interrupções Externas;
- (e) Passo a Passo;
- (f) Exemplos.

## Interrupções

- Interrupções
- **Introdução**
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

O 8051 apresenta 5 tipos de interrupções:

- 2 externas;
- 2 temporizadores (*timers*);
- 1 série

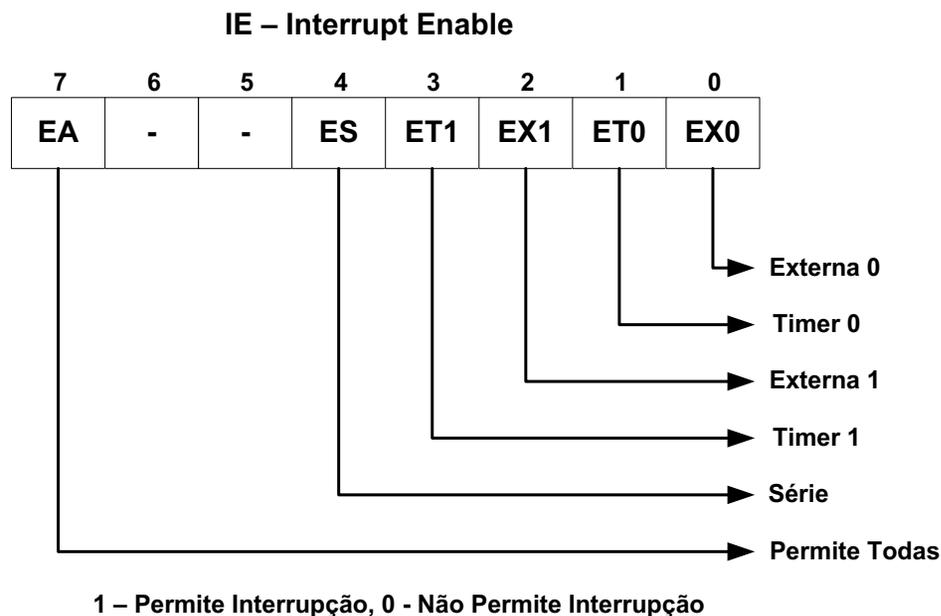
Alguns outros membros da família MCS-51 podem apresentar outras interrupções. Por exemplo o 8052 apresenta uma interrupção adicional associada ao temporizador 2 (*timer 2*)

# IE - *Interrupt Enable*

Interrupções

- Interrupções
- Introdução
- **Registos Envolvidos**
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Os registos dedicados às interrupções permitem um controlo total sobre as mesmas. A permissão de cada interrupção pode ser feita individualmente. Porém é possível inibir todas as interrupções de uma só vez. O registo IE (*Interrupt Enable*) controla a permissão das interrupções e é ilustrado na Figura seguinte:



## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Cada interrupção pode ter dois níveis de prioridade: prioridade alta ou prioridade baixa. Uma interrupção de prioridade alta pode interromper uma de prioridade baixa, no entanto o inverso não pode ocorrer.

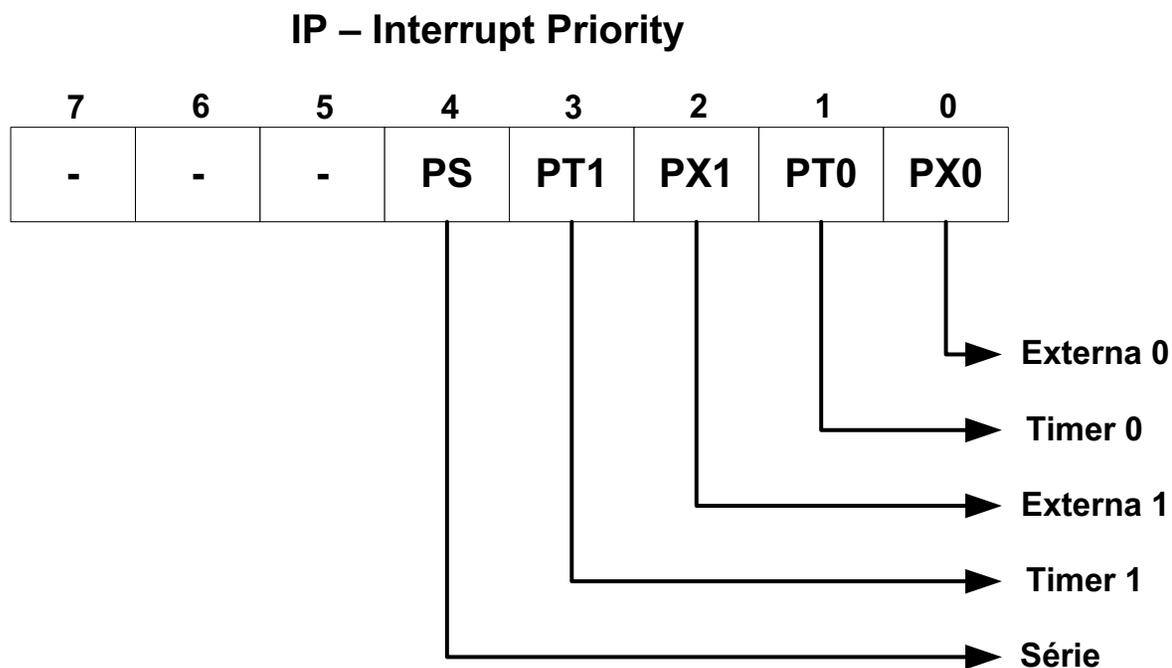
Uma interrupção não pode ser interrompida por uma outra com o mesmo nível de prioridade. Em suma:

- Se forem recebidas interrupções com prioridades diferentes, a de prioridade alta é atendida primeiro.
- Se forem recebidas interrupções de igual prioridade, determina-se aquela que vai ser atendida primeiro através de uma sequência interna de *polling* - sequência de atendimento ou de consulta.

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

A Figura seguinte mostra o conteúdo do registo IP (*Interrupt Priority*), o qual define as prioridades das diferentes interrupções.



**1 – Permite Interrupção, 0 - Não Permite Interrupção**

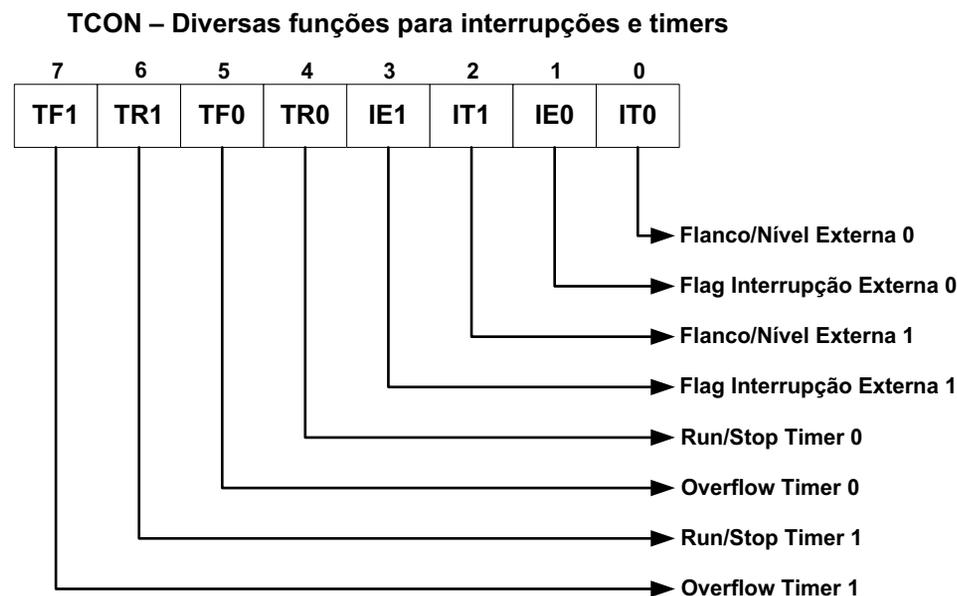
# TCON - Configuração das Int. Externas

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

As duas interrupções externas (INT0 e INT1) podem ser accionadas por nível ou por flanco de descida ( $\downarrow$ ). Esta configuração é definida através de dois bits do registo TCON. Este registo integra ainda as flags associadas às interrupções externas e dos temporizadores. Estes bits ficam a 1 sempre que a interrupção respectiva é activada.

A Figura seguinte mostra o conteúdo do registo TCON:



Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

De seguida apresenta-se a descrição dos quatro bits mais significativos do registo TCON:

- **TF1:** Flag de transbordo (*overflow*) do contador/temporizador 1. É activado por hardware quando há transbordo no contador do timer 1 (timer/counter 1). É apagado por hardware quando o processador é desviado para a rotina de atendimento da interrupção.
- **TR1:** Bit de contagem/paragem do contador/temporizador 1.
- **TF0:** Flag de transbordo (*overflow*) do contador/temporizador 0. É activado por hardware quando há transbordo no contador do timer 0 (timer/counter 0). É apagado por hardware quando o processador é desviado para a rotina de atendimento da interrupção.
- **TR0:** Bit de contagem/paragem do contador/temporizador 0.

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

De seguida apresenta-se a descrição dos quatro bits menos significativos do registo TCON:

- **IE1:** Flag da interrupção externa 1. É activado (colocado a um) por hardware quando se detecta a interrupção externa 1. É apagado (colocado a zero) por hardware (só no modo flanco) quando o processador é desviado para a rotina de atendimento da interrupção.
- **IT1:** Indica se a interrupção externa 1 opera por flanco ou por nível:  $IT1 = 1 \rightarrow$  flanco descendente,  $IT1 = 0 \rightarrow$  nível.
- **IE0:** Flag da interrupção externa 0. É activado (colocado a um) por hardware quando se detecta a interrupção externa 0. É apagado (colocado a zero) por hardware (só no modo flanco) quando o processador é desviado para a rotina de atendimento da interrupção.
- **IT0:** Indica se a interrupção externa 0 opera por flanco ou por nível:  $IT0 = 1 \rightarrow$  flanco descendente,  $IT0 = 0 \rightarrow$  nível.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Todos os bits que geram interrupções podem ser activados por software, originando os mesmos resultados da activação por hardware.

Isto quer dizer que uma interrupção pode ser activada por software e também que as interrupções pendentes podem ser canceladas.

Cada interrupção é vectorizada num endereço pré-definido, tal como se apresenta de seguida:

- RESET 00H
- Externa 0 IE0 03H
- Timer 0 TF0 0BH
- Externa 1 IE1 13H
- Timer 1 TF1 1BH
- Serial RI+TI 23H (+ significa OR)

No endereço de vectorização das interrupções há pouco espaço, o qual é suficiente apenas para colocar algumas instruções. Portanto é normal colocar nestes endereços um desvio (jump) para um outro local, onde está a rotina que atende à interrupção.

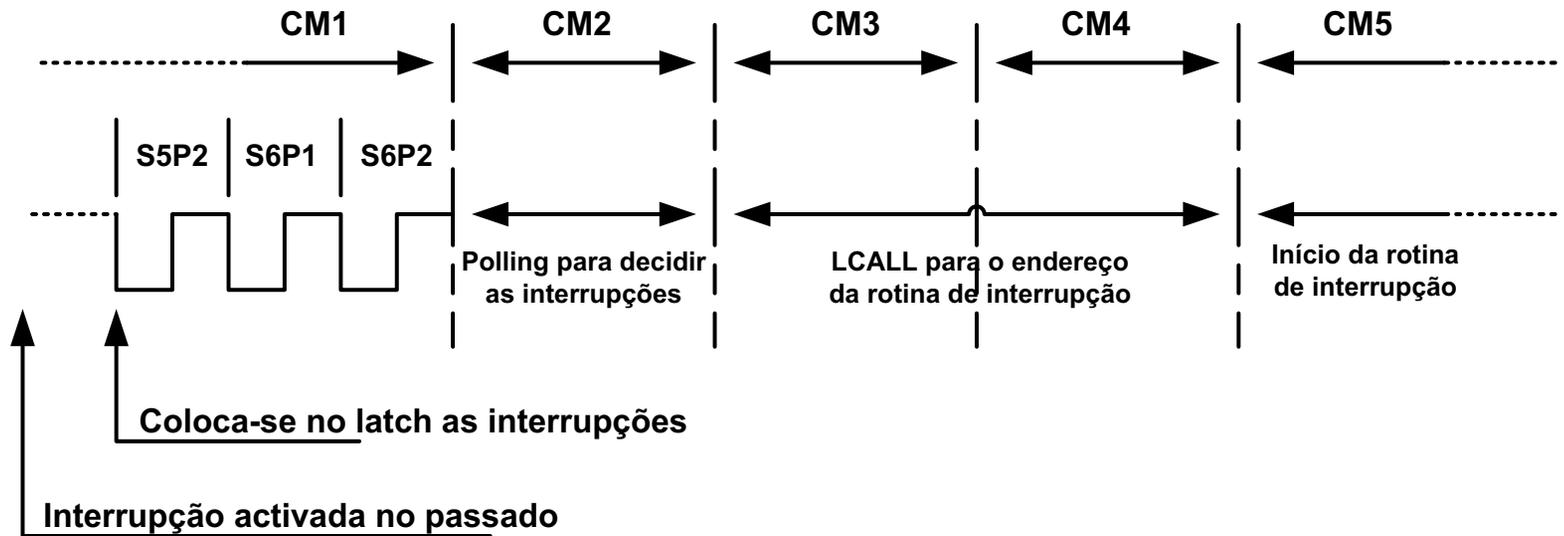
# Manipulação das Interrupções

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

As flags das interrupções são amostradas na segunda fase do quinto estado (S5P2) de cada ciclo de máquina. As amostras são submetidas a polling (consulta) durante o próximo ciclo de máquina.

A Figura seguinte ilustra a sequência de atendimento de uma interrupção.



## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Se uma das flags (de interrupção) está activa durante S5P2, o próximo ciclo de polling vai detectar e identificar a interrupção a ser atendida e será gerada uma instrução LCALL desde que não seja bloqueada por:

- Uma interrupção de prioridade igual ou mais alta que a que está a ser atendida;
- Não se tenha finalizado a instrução que está a ser processada no ciclo de polling actual;
- A instrução em progresso é um RETI ou uma escrita em IP ou IE.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Note-se que a Figura anterior ilustra a resposta mais rápida a um pedido de interrupção, dado que:

- CM2 corresponde ao final de uma instrução e não é um RETI, nem uma escrita em IP ou IE;
- Quando em CM2 ocorre uma instrução RETI, ou a escrita em IE ou IP, uma instrução a mais será executada antes que a interrupção seja vectorizada;
- Os valores que serão processados são aqueles que se encontram no S5P2 do ciclo de máquina anterior;
- Situação especial: Se uma flag de interrupção foi activa, mas a interrupção não foi atendida devido a uma condição de bloqueio, caso a flag seja colocada a zero antes da condição de bloqueio ser removida, a interrupção nunca será atendida.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

O processador reconhece um pedido de interrupção através da execução de um LCALL gerado por hardware. Regra geral, a flag que gerou o pedido é colocada a zero por hardware, excepto nas seguintes situações:

- TI, RI da porta série;
- IE0, IE1 quando é activada por nível;

A instrução RETI é utilizada para finalizar uma rotina de atendimento a interrupções. Uma instrução RET funciona mas o sistema de controlo das interrupções não sabe que a rotina terminou, ou seja, serão bloqueadas todas as demais interrupções de prioridade igual ou inferior.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

- As duas interrupções externas (0 e 1) podem ser programadas para funcionar por nível (ITX=0) ou por flanco de descida ( $\downarrow$ ) (ITX=1).
- Os pinos das interrupções são amostrados em cada ciclo de maquina (1 ciclo de maquina = 12 períodos de relógio); assim, uma interrupção externa deve permanecer constante por pelo menos 12 períodos de relógio, caso contrário ela poderá ser ignorada.
- Quando a interrupção opera por flanco de descida ( $\downarrow$ ), o pino deve permanecer no nível alto por pelo menos 12 períodos de relógio e, posteriormente, deve permanecer no nível baixo mais 12 períodos de relógio; isto garante a activação da flag de interrupção.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

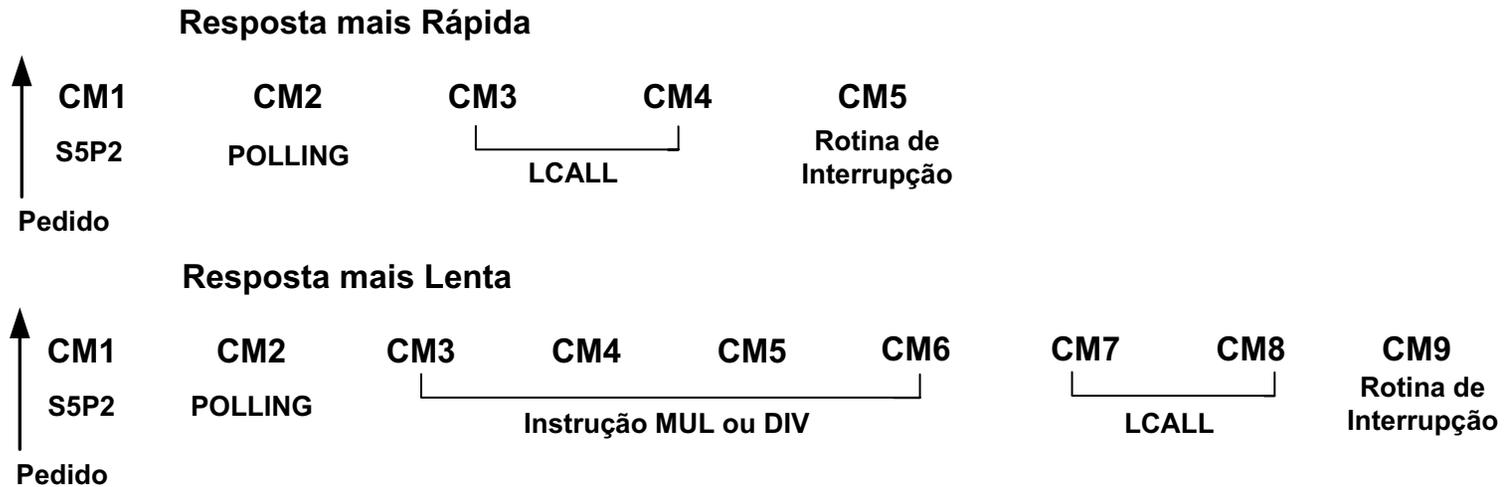
- As flags de interrupções externas (IEX0 ou IEX1) serão automaticamente colocadas a zero pela CPU após a chamada de uma rotina de serviço.
- Quando a interrupção opera por nível, o pino deve permanecer activo (em baixo) até que a interrupção seja atendida; Porém, mal esta seja atendida, o pedido deve ser removido antes que a rotina de serviço de interrupção termine, ou uma nova interrupção será gerada.
- O tempo de latência de uma interrupção depende, entre outros factores, das condições de bloqueio. No caso destas condições de bloqueio existirem, o tempo de latência pode durar entre 5 a 9 ciclos de máquina.

# Tempo de Latência

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

A Figura seguinte mostra o tempo de latência para as interrupções. Tal como pode ser observado no mínimo este tempo corresponde a cinco ciclos de máquina e no máximo este corresponde a 9 ciclos de máquina.



## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

A estrutura de interrupção do MCS-51 permite, de forma muito simples, uma implementação para a execução de programas passo a passo (single step).

Como já foi visto, uma interrupção não é atendida no momento em que uma interrupção de igual prioridade está a ser atendida. Após a finalização desta, com um RETI, é obrigatória a execução de uma instrução, antes que se aceite o pedido da nova interrupção.

Uma interrupção não será re-atendida antes de terminar a sua rotina. Essa rotina deve terminar com RETI e, após essa instrução, uma outra deverá ser executada antes da interrupção ser atendida.

## Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Imagine um sistema onde a interrupção externa 1 está programada para trabalhar por nível, estando a entrada INT1 ligada à terra, ou seja, a interrupção está sempre a ser invocada.

Se forem adicionadas a esse sistema uma rotina principal e uma rotina de serviço para a interrupção 1, cria-se o ambiente necessário para executar passo a passo o programa principal.

Cada vez que voltar da rotina de interrupção (com um RETI), será executada uma única instrução do programa principal, havendo de seguida um novo desvio para a rotina de interrupção.

Interrupções

- Interrupções
- Introdução
- Registos Envolvidos
- Manipulação
- Interrupções Externas
- Passo-a-Passo

Pode-se usar uma chave para marcar o instante de retorno da rotina de interrupção. Outra possibilidade, mais complexa mas sem bouncing na chave é apresentada na figura a seguir:

