

Microprocessadores e Aplicações

Acetatos de apoio às aulas teóricas

Ana Cristina Lopes
Dep. Engenharia Electrotécnica
<http://orion.ipt.pt> anacris@ipt.pt

Portos de E/S

● Portos de E/S

● Introdução

● Mecanismo de Leitura

● Escrita nos Portos

1. Portos de E/S;

(a) Introdução;

(b) Mecanismos de Leitura;

(c) Mecanismos de Escrita;

(d) Exemplos.

Portos de E/S

- Portos de E/S
- **Introdução**
- Mecanismo de Leitura
- Escrita nos Portos

A família MCS-51 oferece 4 portos de Entrada/Saída, designadas por:

- P0 - Porto de E/S e acesso à memória externa de dados - byte menos significativo do endereço de dados - BUS;
- P1 - Porto de E/S e terceiro temporizador/contador para algumas versões da família MSC-51;
- P2 - Porto de E/S e acesso à memória externa de dados- byte mais significativo do endereço de dados - BUS; e
- P3 - Porto de E/S e entradas e saídas de função específica (temporizadores/contadores, interrupções externas, etc.)

Para cada porto existe um SFR associado. De acordo com a configuração do hardware, um ou mais portos estarão totalmente ou parcialmente disponíveis.

Portos de E/S

● Portos de E/S

● **Introdução**

● Mecanismo de Leitura

● Escrita nos Portos

O porto P3 tem as seguintes funções adicionais:

- 0 - RXD - Entrada Série;
- 1 - TXD - Saída Série;
- 2 - *INT0 - Interrupção externa 0;
- 3 - *INT1 - Interrupção externa 1;
- 4 - T0 - Entrada externa para o contador 0;
- 5 - T1 - Entrada externa para o contador 1;
- 6 - *WR - Saída de controlo para operações de escrita na memória de dados externa;
- 7 - *RD - Saída de controlo para operações de leitura na memória de dados externa;

Portos de E/S

- Portos de E/S
- **Introdução**
- Mecanismo de Leitura
- Escrita nos Portos

Durante uma operação de escrita ou leitura na memória de dados, os dados dos portos P0 e P2 são removidos, ocorrendo a emissão de endereços e dados através destes. Terminadas as operações, os conteúdos do latch reaparecem nos pinos da CPU. Regra geral, a utilização dos portos como entrada e saída processa-se da seguinte forma:

- **Saída:** Basta escrever 0 ou 1 no porto que imediatamente o nível lógico aparece nos pinos correctos;
- **Entrada:** Todas os portos, à excepção de P1, possuem pull-up interno; isto significa que quando se escreve 1 num bit do porto, diz-se que este bit está programado como entrada, dado que os dispositivos externos podem forçar este 1 para 0.

Para ter um porto como entrada:

- Escreve-se 1 no porto;
- A leitura será 1 ou 0 de acordo com o nível que externamente é aplicado ao pino;
- Estes portos são chamadas de **quasi-bidireccionais**.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

Cada porto é constituído por três partes:

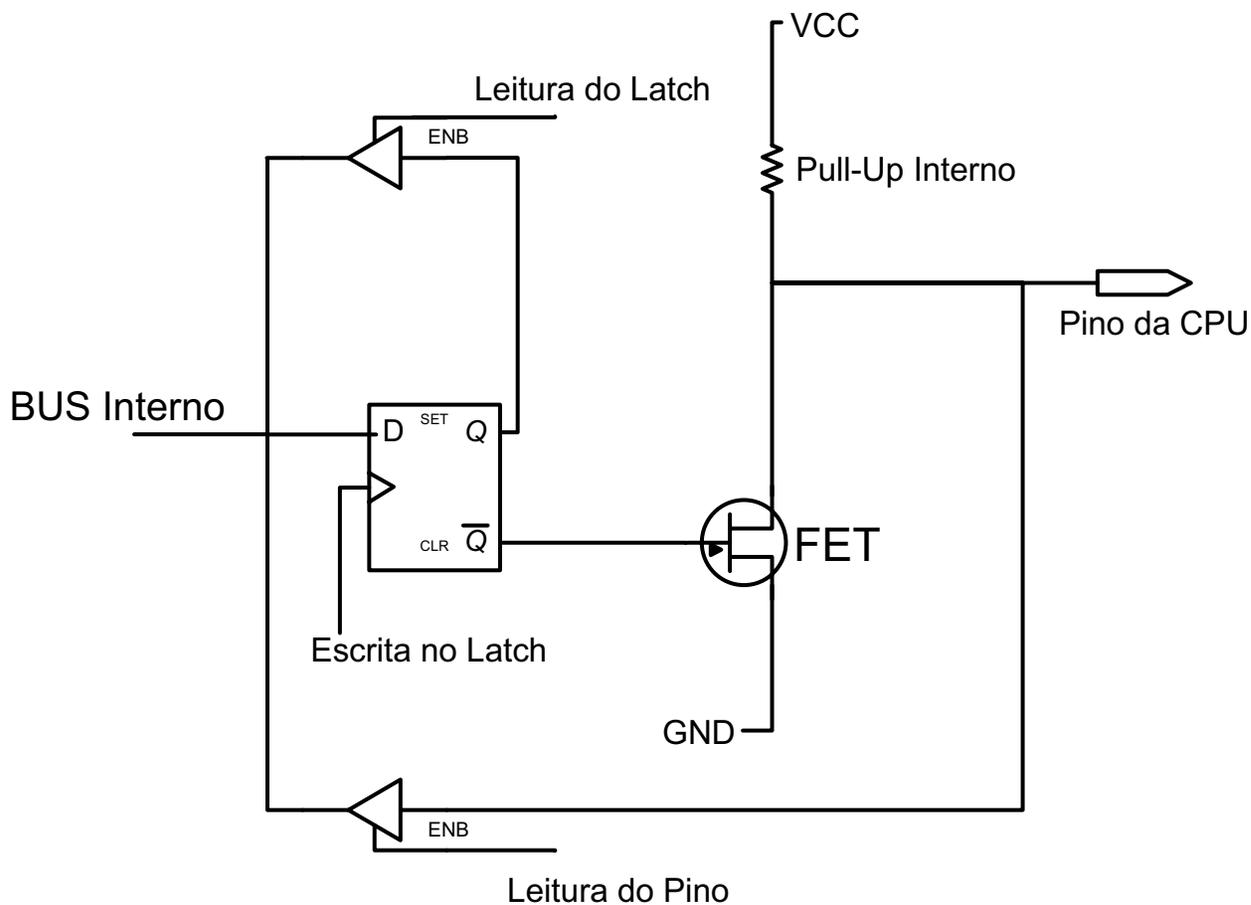
- Um registo latch (SFR: P0, P1, P2 e P3);
- Um driver de saída; e
- Um buffer de entrada.

Os drivers de saída dos portos P0 e P2 e o buffer de entrada do porto P0 são utilizados no acesso à memória externa de dados e programa.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

A Figura seguinte ilustra o esquema eléctrico do porto P1:



Porto P1 - Descrição do Funcionamento

Portos de E/S

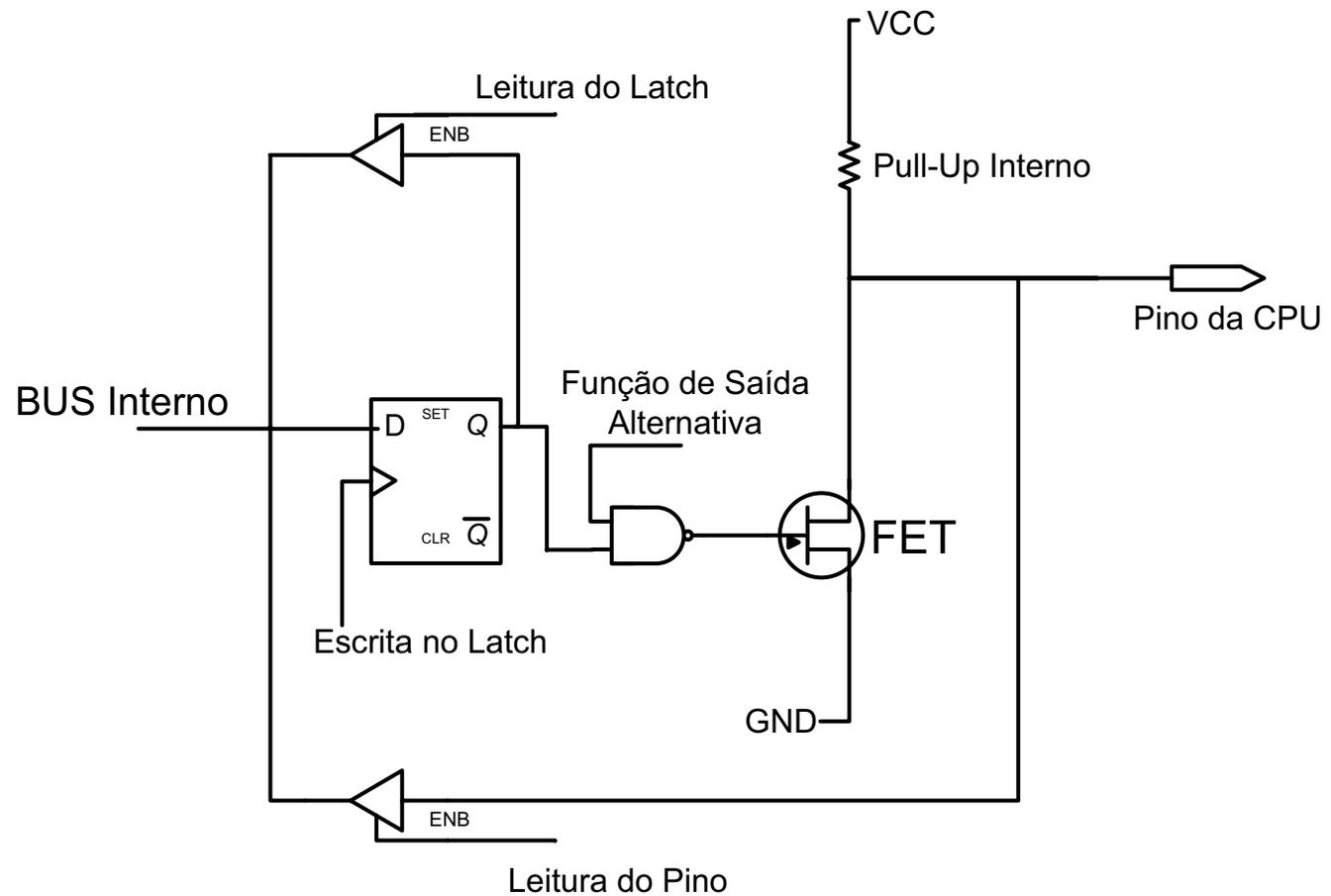
- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

- O latch de cada bit do porto P1 (um bit do SFR P1) é representado por um flip-flop D;
- A escrita de um valor proveniente do BUS interno é realizada em sintonia com o pulso de escrita no latch, o qual é gerado pela CPU;
- A saída do latch é colocada no BUS interno através do sinal Leitura do Latch, o qual também é gerado pela CPU;
- O nível do pino do porto é colocado no BUS interno através do sinal Leitura do pino, o qual também é gerado pela CPU;
- Algumas instruções que lêem o estado do porto operam com o sinal Leitura do pino, enquanto que outras operam com o sinal Leitura do latch. Este assunto será visto em detalhe mais adiante;
- Quando se escreve no porto:
 - ◆ $0 - *Q = 1 \Rightarrow \text{FET ON} \Rightarrow \text{Saída} = 0;$
 - ◆ $1 - *Q = 0 \Rightarrow \text{FET OFF} \Rightarrow \text{Saída} = 1 \text{ (pull-up)};$

Para ser utilizado como entrada o latch do porto deve estar em 1, uma vez que desta forma o FET é colgado ao corte. Deste modo o pino do porto é colocado a um nível alto pelo pull-up, podendo, no entanto, ser colocado a um nível baixo por um qualquer dispositivo externo.

- Portos de E/S
- Portos de E/S
 - Introdução
 - Mecanismo de Leitura
 - Escrita nos Portos

A Figura seguinte ilustra o esquema eléctrico do porto P3:



Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

Note-se que o porto P3 tem muitas funções alternativas, designadamente: *RD, *WR, T0, T1, TXD, RXD, *INT0, *INT1.

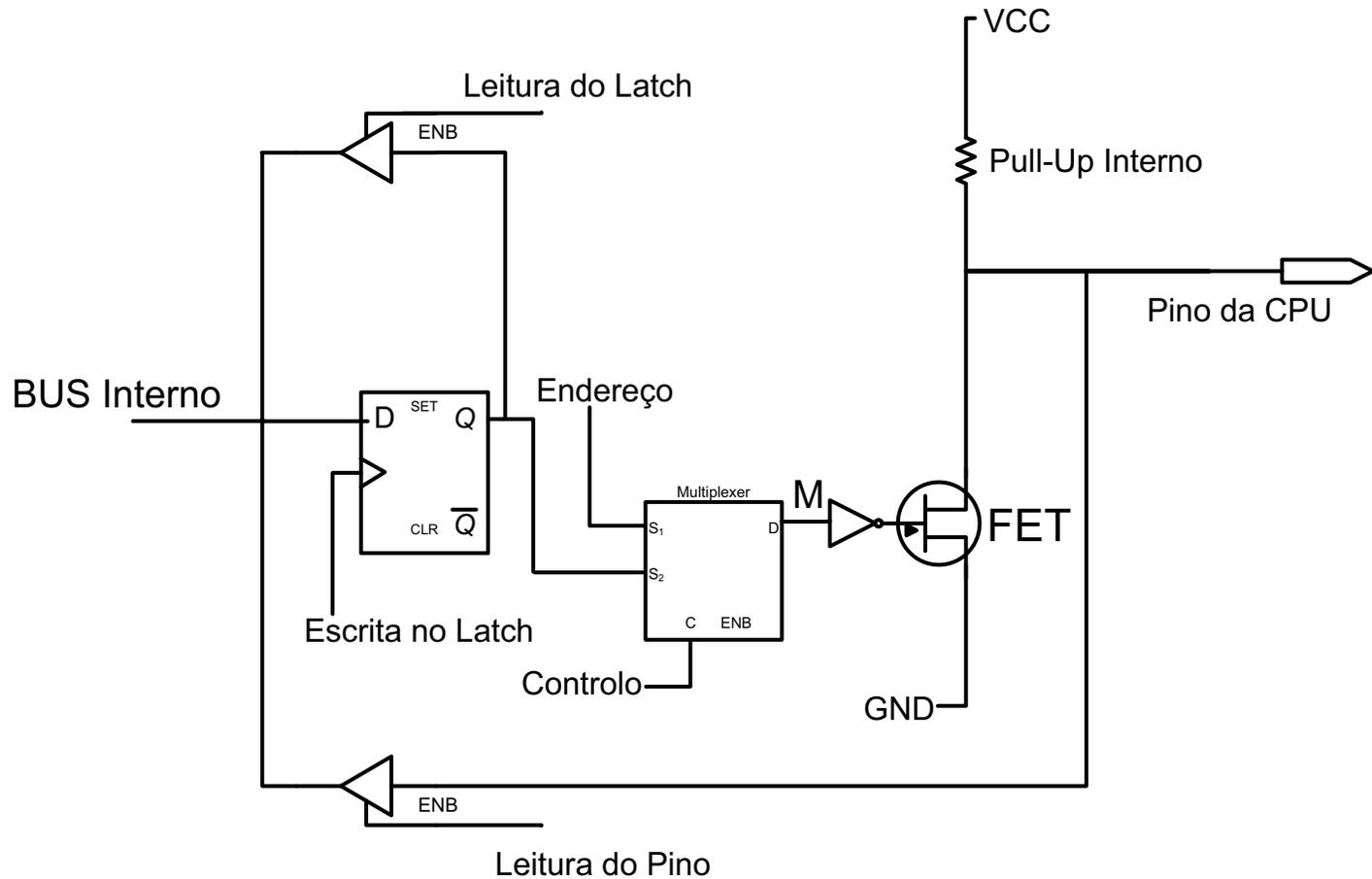
- Quando a Função de Saída Alternativa (AOF) for igual a 1, a saída será igual a P3, assim se AOF=1 e for escrito:
 - ◆ $0 \rightarrow Q = 0 \rightarrow G = 1 \rightarrow \text{FET ON} \rightarrow \text{Saída} = 0$
 - ◆ $1 \rightarrow Q = 1 \rightarrow G = 0 \rightarrow \text{FET OFF} \rightarrow \text{Saída} = 1 \text{ (pull-up)}$
- Quando a saída do latch estiver a 1 (P3 a 1) a saída pode ser controlada pelo sinal AOF;
- Se a saída de P3 (do latch) estiver a 0, as diversas funções alternativas não estarão disponíveis;

Tal como o porto P1, também P3 é um porto quasi-bidireccional.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

A Figura seguinte ilustra o esquema eléctrico do porto P2, note-se que por este porto também sai o byte mais significativo dos endereços:



Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

O funcionamento do porto P2 é em tudo semelhante ao dos outros portos.

Se $\text{CONTROLO} = 0$ e for escrito:

- $0 \rightarrow Q = 0 \rightarrow M = 0 \rightarrow G = 1 \rightarrow \text{FET ON} \rightarrow \text{Saída} = 0$
- $1 \rightarrow Q = 1 \rightarrow M = 1 \rightarrow G = 0 \rightarrow \text{FET OFF} \rightarrow \text{Saída} = 1$ (pull-up);

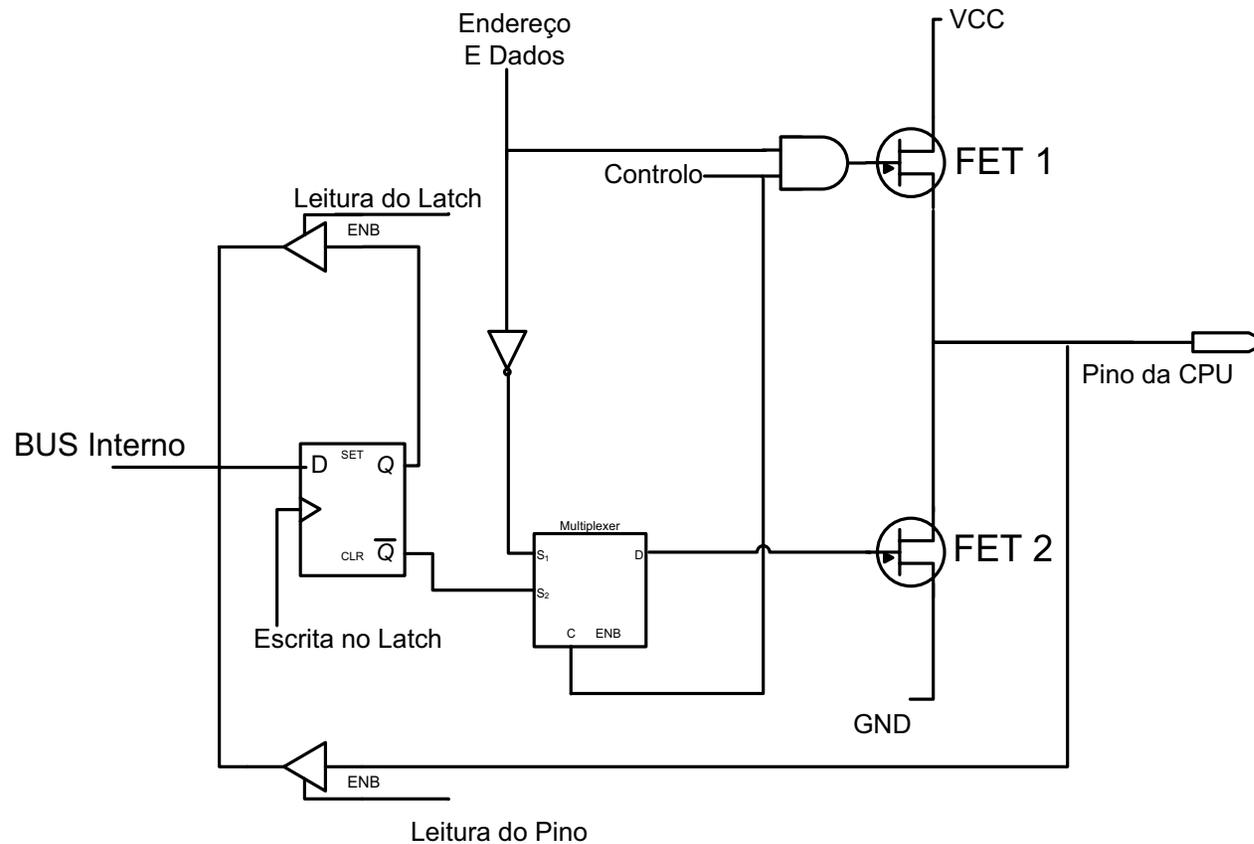
Se $\text{CONTROLO} = 1$, a entrada Endereço passa a controlar o nível do pino, deste modo se:

- $\text{ENDEREÇO} = 0 \rightarrow M = 0 \rightarrow G = 1 \rightarrow \text{FET ON} \rightarrow \text{Saída} = 0$
- $\text{ENDEREÇO} = 1 \rightarrow M = 1 \rightarrow G = 0 \rightarrow \text{FET OFF} \rightarrow \text{Saída} = 1$ (pull-up);

De acordo com o valor lógico do sinal CONTROL, permite-se a saída ao latch de P2 ou ao byte mais significativo do endereço.

- Portos de E/S
- Portos de E/S
 - Introdução
 - Mecanismo de Leitura
 - Escrita nos Portos

A Figura seguinte ilustra o esquema eléctrico do porto P1. Este porto é o mais complexo, dado que integra três funções distintas.



Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

O porto P0 apresenta algumas diferenças significativas em relação aos portos descritos anteriormente. Tal deve-se ao facto de este porto ser utilizado no transporte de dados durante as operações com a memória externa. Note-se que por este motivo este porto necessita de ser bidireccional verdadeiro.

Quando P0 está a ser utilizado como porto de E/S, o sinal CONTROL = 0. Deste modo $G1 = 0$ e FET1 está ao corte (não há pull-up interno).

Se CONTROL = 0 e for escrito:

- $0 \rightarrow *Q = 1 \rightarrow G2 = 1 \rightarrow \text{FET2 ON} \rightarrow \text{Saída} = 0;$
- $1 \rightarrow *Q = 0 \rightarrow G2 = 0 \rightarrow \text{FET OFF} \rightarrow \text{Saída} = \text{flutua (não há pull-up interno);}$ note-se que para tornar este porto em quasi-bidireccional basta acrescentar resistências de pull-up externamente.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

Quando o porto é utilizado para enviar endereços ou dados basta colocar **CONTROLO = 1**, passando a saída a ser controlada pelo sinal **ENDEREÇO OU DADOS**

- **ENDEREÇO/DADOS = 0** → **G1 = 0** → **FET1 OFF** e **G2 = 1** → **FET2 ON** → Saída = 0;
- **ENDEREÇO/DADOS = 1** → **G1 = 1** → **FET1 ON** e **G2 = 0** → **FET2 OFF** → Saída = 1 (note-se que se FET1 e FET2 estiverem em condução está-se na presença de um curto-circuito, portanto tal não deve ocorrer);

Para que seja possível a leitura da memória de dados é necessária alta-impedância (FET1 e FET2 têm de estar ao corte). Para tal é necessário que o sinal **CONTROLO** esteja a 0 e que o latch de P0 esteja 1, desta forma:

- **CONTROLO = 0** → **G1 = 0** → **FET1 OFF**;
- **Q = 1** → ***Q = 0** → **G2 = 0** → **FET2 OFF**.

A leitura da memória é então feita com o sinal **LEITURA DE PINO**.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

Na execução de qualquer instrução que altere o latch de um porto, o novo valor chega ao latch durante S6P2 (fase P2 correspondente ao segundo período de relógio do estado 6), que é o final do ciclo de instrução.

Entretanto, os latches são na realidade enviados para os buffers de saída durante a fase P2 (durante P1 mantém-se o mesmo valor).

Assim, o novo valor aparecerá no pino durante P1 do próximo ciclo.

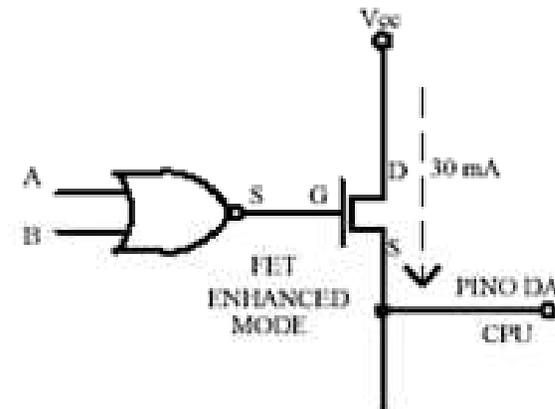
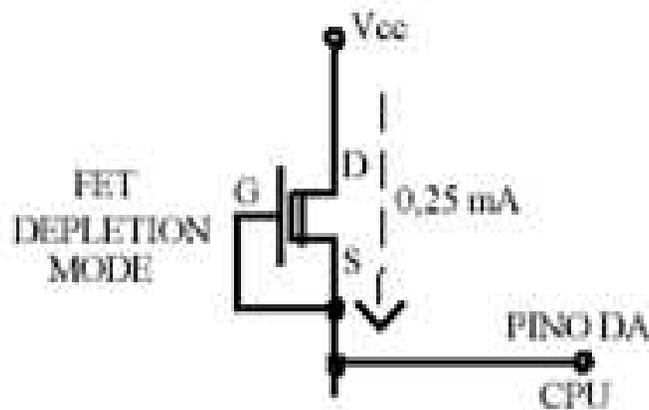
Se for necessária uma mudança de 0 para 1 nos portos P1, P2 e P3, o PULL-UP deverá entregar bastante corrente, de forma a que essa transição seja rápida. Nas transições de 0 para 1, durante S1P1 e S1P2, entra em actividade um PULL-UP adicional que pode fornecer 100 vezes mais corrente que o PULL-UP normal. Note que os PULL-UP são FETs e não transístores bipolares. O PULL-UP normal é um FET (depletion-mode) com a porta (G) ligado à fonte (S). Quando está ligado à terra, circula por ele uma corrente de 0,25 mA.

O PULL-UP adicional consiste num FET com uma porta NOR ligada à Gate. Quando as entradas da porta NOR estão ambas a zero 0, a sua saída fica a 1 e com isto o FET entra no circuito fornecendo até 30 mA.

Portos de E/S

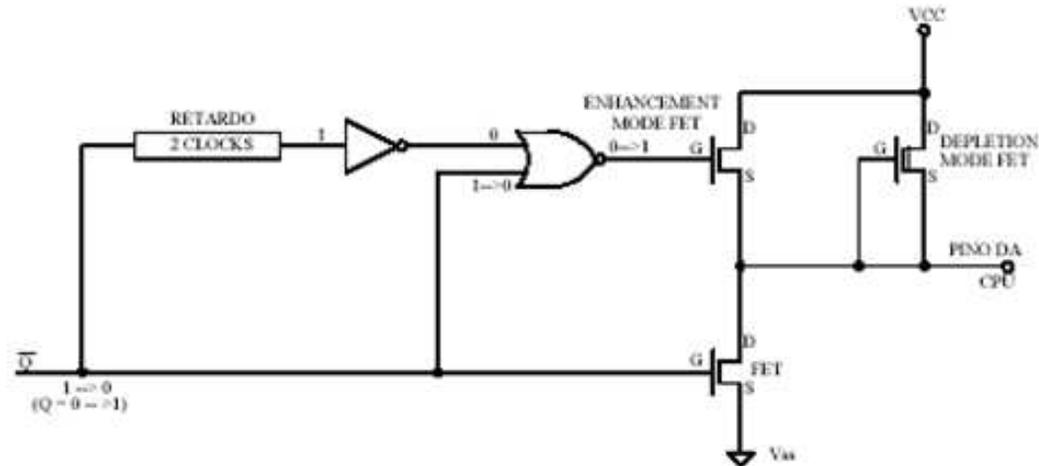
- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

As Figuras seguintes ilustram o PULL-UP normal e o PULL-UP adicional, respectivamente.



- Portos de E/S
- Portos de E/S
 - Introdução
 - Mecanismo de Leitura
 - Escrita nos Portos

A Figura seguinte mostra o esquema completo de saída do porto.



Note-se que \bar{Q} vai de 1 para 0, durante dois períodos de relógio a saída (S) da porta NOR sera 1, permitindo que o FET (pull-up) adicional entre em paralelo com o FET (pull-up) normal, originando uma maior capacidade de corrente. Este esquema e utilizado em HMOS. Nas famílias CHMOS o esquema é um pouco diferente mas a ideia subjacente é a mesma.

Portos de E/S

- Portos de E/S
- Introdução
- Mecanismo de Leitura
- Escrita nos Portos

Algumas instruções de leitura utilizam o dado armazenado no latch, enquanto outras usam o estado do pino. As instruções que usam o dado do latch são aquelas que lêem o valor, (possivelmente) alteram-no e escrevem-no de novo (read-modify-write).

Quando o destino do operando é uma porta ou um bit da porta, é utilizado o dado do latch e não o valor do pino. A seguir está uma lista destas instruções que operam com o dado do latch:

- ANL - ANL P1,A
- ORL - ORL P2,A
- XRL - XRL P3,A
- JBC - JBC P1.1,LB
- CPL - CPL P3.0
- INC - INC P2
- DEC - DEC P2
- DJNZ - DJNZ P3,label
- MOV PX.Y,C - MOV P1.0,C
- CLR PX.Y - CLR P1.2
- SETB PX.Y - SETB P1.3