

Microprocessadores e Aplicações

Acetatos de apoio às aulas teóricas

Ana Cristina Lopes
Dep. Engenharia Electrotécnica
<http://orion.ipt.pt> anacris@ipt.pt

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

1. Introdução;
2. Registos de Controlo;
3. Modo SPI:
 - (a) Registos envolvidos;
 - (b) Operação;
 - (c) Modo Master;
 - (d) Modo Slave;
 - (e) Modo Slave Síncrono;
4. Modo I^2C :
 - Registos envolvidos;
 - Operação;
 - Modo Slave;
 - Modo Master.

- Módulo MSSP

- MSSP - Introdução

- Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

O módulo MSSP - *Master Synchronous Serial Port* é um interface série utilizado para comunicar com outros dispositivos periféricos ou microcontroladores.

Estes dispositivos periféricos podem ser:

- EEPROM;
- Registos de deslocamento;
- Drivers de displays;
- Módulos conversores A/D;
- Potenciómetros Digitais;
- Etc.

O módulo MSSP pode operar em um de dois modos:

- Modo SPI - *Serial Peripheral Interface*;
- Modo I^2C - *Inter-Integrated Circuit*:
 - ◆ Modo *Full Master*;
 - ◆ Modo *Slave* - com chamada de endereço geral.

● Módulo MSSP

MSSP - Introdução

● Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

O módulo MSSP tem três registos associados:

- Registo de estado - *Status Register* (SSPSTAT);
- Primeiro registo de controlo (SSPCON1);
- Segundo registo de controlo (SSPCON2).

A utilização destes registos e configuração individual dos seus bits difere significativamente consoante o modo em que o módulo MSSP está a operar, SPI ou I^2C .

Estes dois modos e a respectiva configuração dos seus registos serão analisados de seguida.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- **Introdução**

- Registos

- Operação

- MSSP - Modo I^2C

O modo SPI permite que 8 bits de dados sejam transmitidos e recebidos de forma síncrona.

Para que a comunicação seja processada é necessário utilizar três pinos:

- SDO - *Serial Data Out* - RC5/SDO;
- SDI - *Serial Data In* - RC4/SDI/SDA;
- SCK - *Serial Clock* - RC3/SCK/SCL;

Adicionalmente existe um quarto pino que pode ser usado na operação em modo slave: SS - *slave select* - RA5/AN4/SS/LVDIN - selecção ou não de um escravo.

A Figura seguinte mostra o diagrama de blocos do Módulo MSSP a operar em modo SPI.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

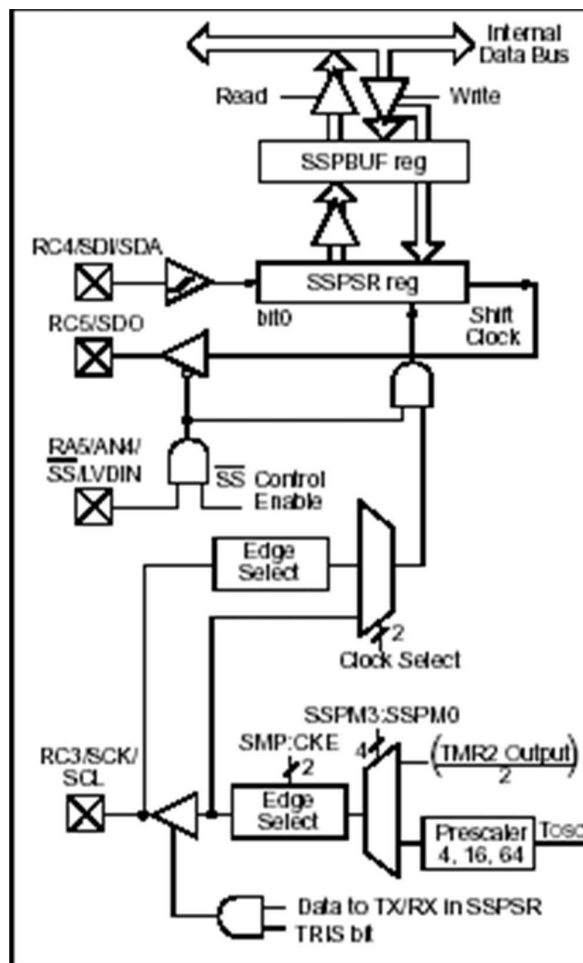
● **Introdução**

● Registos

● Operação

MSSP - Modo I^2C

Diagrama de blocos do MSSP a operar em modo SPI



- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- Introdução

- Registos

- Operação

- MSSP - Modo I^2C

O módulo MSSP necessita de 4 registos para a operação em modo SPI, designadamente:

- Registo de controlo - MSSP Control Register 1 (SSPCON1);
- Registo de estado - MSSP Status Register (SSPSTAT);
- Buffer de dados da recepção e transmissão - Serial Receive/Transmit Buffer (SSPBUF);
- Registo de deslocamento - MSSP Shift Register (SSPSR) - ao qual não é possível aceder de forma directa.

O registo de controlo (SSPCON1) é um registo de escrita e leitura, enquanto que o registo de estado é de leitura e parcialmente de escrita (os seis bits menos significativos são só de leitura).

Nas operações de recepção, os registos SSPBUF e SSPSR formam um buffer duplo, ou seja, quando SSPSR receber um byte completo, este é transferido para SSPBUF e um evento de interrupção fica activo (a flag SSPIF fica a 1).

Nas operações de transmissão estes registos não funcionam da mesma forma, dado que ocorrerá uma escrita simultânea dos dados recebidos em SSPBUF e SSPSR.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

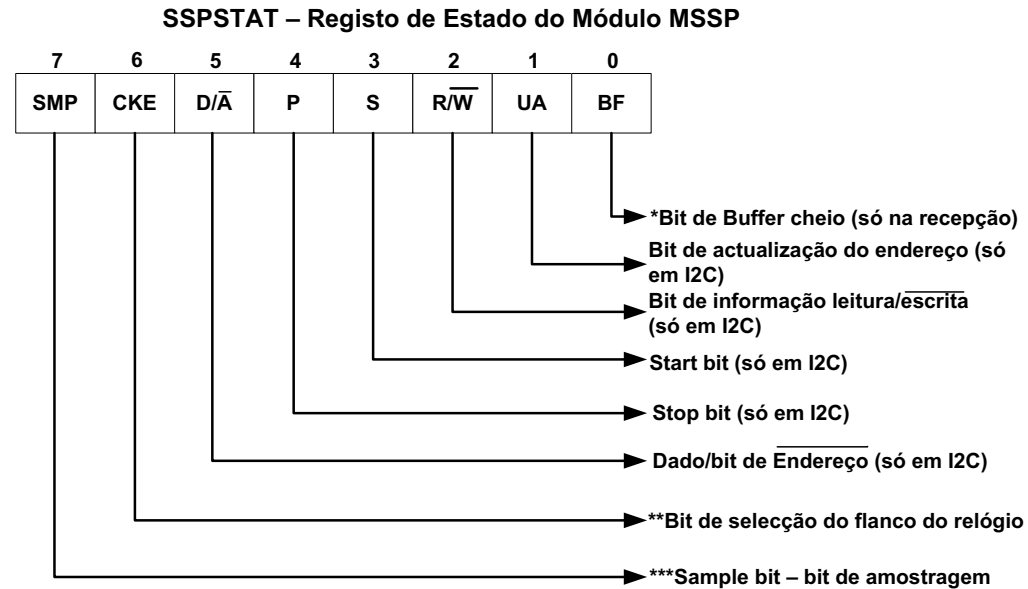
● Introdução

● Registos

● Operação

MSSP - Modo I²C

A Figura seguinte mostra os conteúdos do registo de estado - SSPSTAT.



*BF:

- 1 - Recepção completa e SSPBUF está cheio;
- 0 - Recepção em progresso e SSPBUF está vazio.

** CKE:

- Se CKP (bit 4 do SSSCON1) = 0 (idle state do relógio):
 - 1 – dados transmitidos no flanco descendente do relógio;
 - 0 – dados transmitidos no flanco ascendente do relógio.
- Se CKP = 1:
 - 1 – dados transmitidos no flanco ascendente do relógio;
 - 0 – dados transmitidos no flanco descendente do relógio.

*** SMP:

- Modo SPI Master:
 - 1 – Entrada amostrada no final do tempo de dados de saída;
 - 0 – Entrada amostrada a meio do tempo de dados de saída.
- Modo Slave:
 - Este bit deve estar a zero quando é utilizado neste modo de operação.

● Módulo MSSP

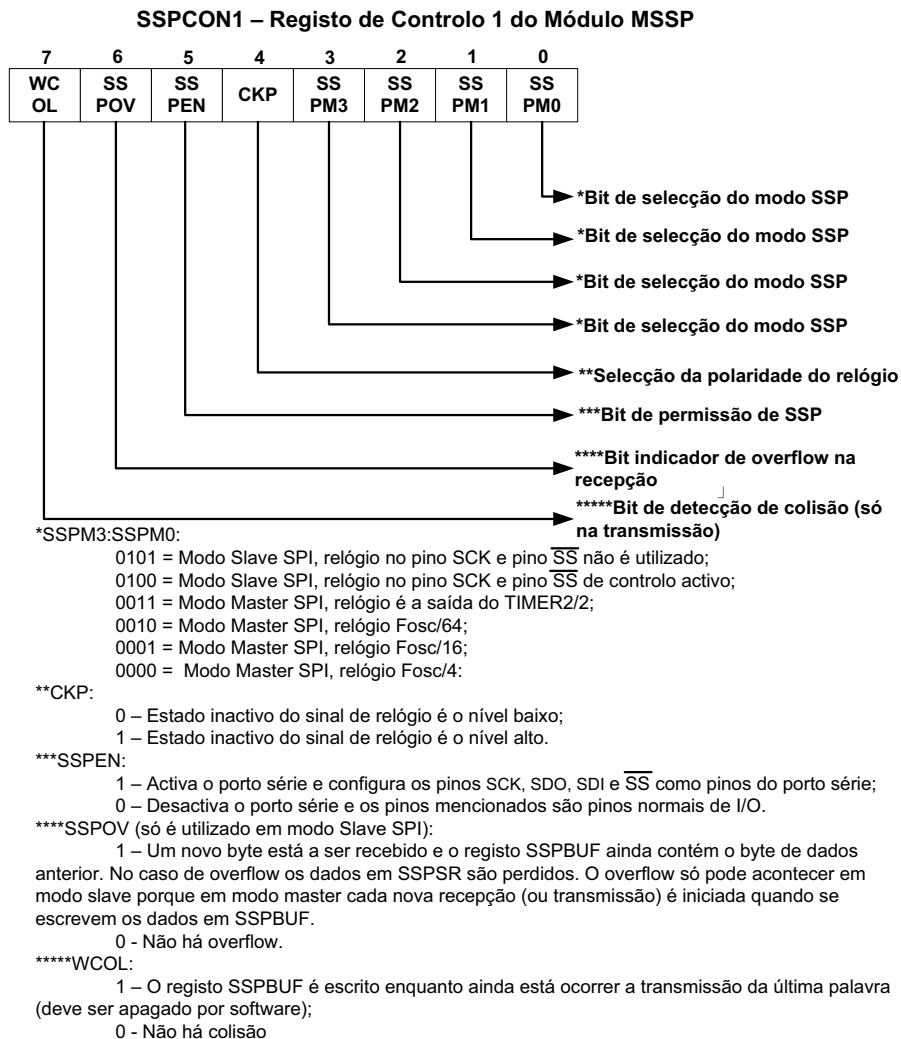
MSSP - Introdução

MSSP - Modo SPI

- Introdução
- Registos
- Operação

MSSP - Modo I^2C

A Figura seguinte mostra os conteúdos do registo de controlo 1 - SSPCON1.



● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

● Introdução

● Registos

● **Operação**

MSSP - Modo I^2C

Quando se inicializa o SPI existem diversas opções que requerem ser especificadas. Isto é feito através da programação dos bits SSPCON1<5:0> e SSPSTAT<7:6>.

Estes bits permitem especificar os seguintes items:

- Modo Master (em que SCK é a saída de relógio);
- Modo Slave (em que SCK é a entrada de relógio);
- Polaridade de relógio (estado inactivo do relógio);
- Fase de amostragem da entrada de dados (a meio ou no fim do tempo de saída de dados);
- Flanco do relógio (saída de dados no flanco ascendente/descendente do sinal de relógio);
- Frequência de relógio (só em modo master);
- Selecção do escravo (apenas em modo slave).

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- Introdução

- Registos

- Operação

- MSSP - Modo I^2C

De forma resumida, o MSSP consiste num registo de deslocamento da transmissão/recepção (SSPSR) e num registo buffer (SSPBUF).

O registo SSPSR é responsável por deslocar os dados para dentro ou fora do dispositivo, consoante se trate de uma recepção ou transmissão respectivamente (começa a deslocar o MSb).

O registo SSPBUF guarda os dados que foram escritos em SSPSR, até que os dados recebidos estejam prontos.

Assim que os 8 bits de dados estejam recebidos, o byte é transferido para SSPBUF.

Nesta altura os bit BF (SSPSTAT<0>) e a flag de interrupção SSPIF ficam activos.

Como na recepção os registos SSPSR e SSPBUF formam um buffer duplo, pode-se iniciar a recepção do próximo byte antes do anterior ser lido.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- Introdução

- Registos

- Operação

- MSSP - Modo I^2C

Qualquer tentativa de escrita do registo SSPBUF durante uma recepção/transmissão será ignorada e o bit WCOL (SSPCON1<7>) ficará a 1.

O bit WCOL tem de ser apagado por software, de modo que se possa saber se as próximas tentativas de escrita em SSPBUF são bem sucedidas.

Para que o porto série fique activo é necessário colocar o bit SSPEN (SSPCON1<5>) a 1.

Para realizar um reset ou reconfigurar o modo SPI é necessário colocar a zero o bit SSPEN (SSPCON1<5>) para reconfigurar os registos SSPCON, ao que após se deve colocar novamente o bit SSPEN a 1.

Ao colocar o bit SSPEN a 1 está-se implicitamente a configurar os pinos SDI, SDO, SCK and \overline{SS} como pinos do porto série.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

● Introdução

● Registos

● Operação

MSSP - Modo I^2C

Porém alguns dos pinos mencionados, para que funcionem de acordo com as funções do porto série que lhes foram pré-destinadas, requerem uma configuração apropriada do respectivo bit no registo TRIS:

- SDI é controlado automaticamente pelo módulo SPI (*override* do registo TRIS);
- SDO tem de ter o bit TRISC<5> a 0 (configurado como saída);
- SCK (Master mode) tem de ter o bit TRISC<3> a 0 (configurado como saída);
- SCK (Slave mode) tem de ter o bit TRISC<3> a 1 (configurado como entrada);
- \overline{SS} tem de ter o bit TRISC<5> a 1 (configurado como entrada);

Para desactivar qualquer uma destas funções do porto série basta programar o bit respectivo do registo TRIS com o valor contrário (caso não haja *Override* dessa função).

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

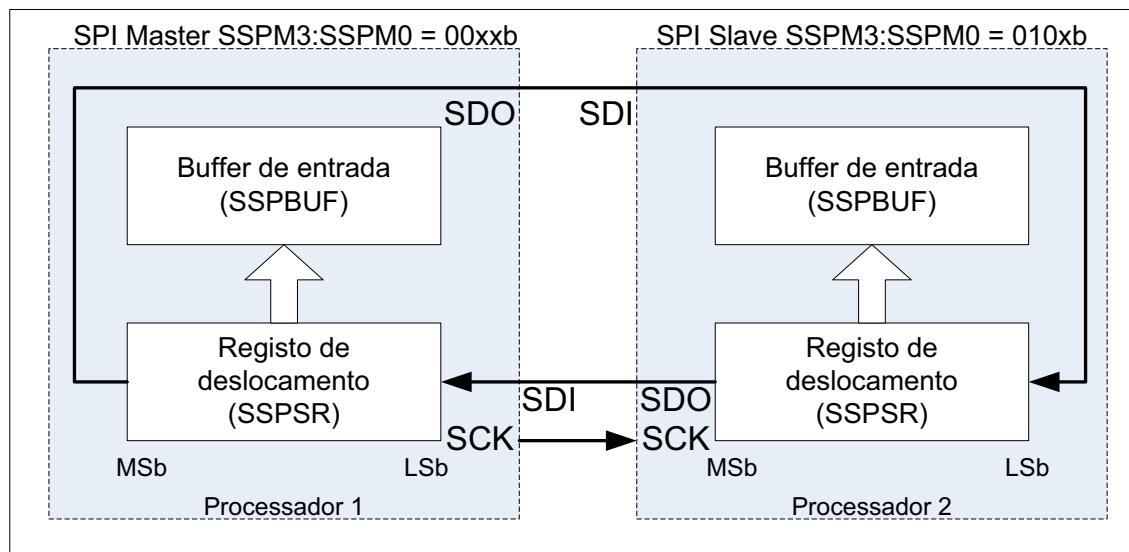
- Introdução

- Registos

- Operação

- MSSP - Modo I^2C

A Figura seguinte mostra a ligação típica entre dois microcontroladores.



De acordo com a Figura anterior, o controlador mestre (processador 1) inicia a transferência de dados através do envio do sinal SCK. Os dados são deslocados de acordo com o flanco programado.

Ambos os processadores devem ser programados para a mesma polaridade de relógio (CKP) e desta forma ambos os processadores enviarão/receberão os dados ao mesmo tempo.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- Introdução

- Registos

- Operação

- MSSP - Modo I^2C

Modo Master:

O mestre pode iniciar a transferência de dados em qualquer altura, uma vez que este controla o SCK.

Neste modo de operação SPI, o mestre é que determina quando é que o escravo deve receber/enviar dados pelo protocolo de software.

Os dados são transmitidos/recebidos assim que o registo SSPBUF é escrito. Se o SPI vai apenas receber, a saída SDO pode ser desactivada (programada como entrada).

O registo SSPSR continuará a deslocar o sinal presente no pino SDI à frequência de relógio programada.

Assim que um byte é recebido, este é carregado para o registo SSPBUF, ficando a flag de interrupção e bit de estado respectivo activos.

A Figura seguinte mostra as formas de onda para diferentes configurações em modo Master.

Operação em modo SPI

● Módulo MSSP

MSSP - Introdução

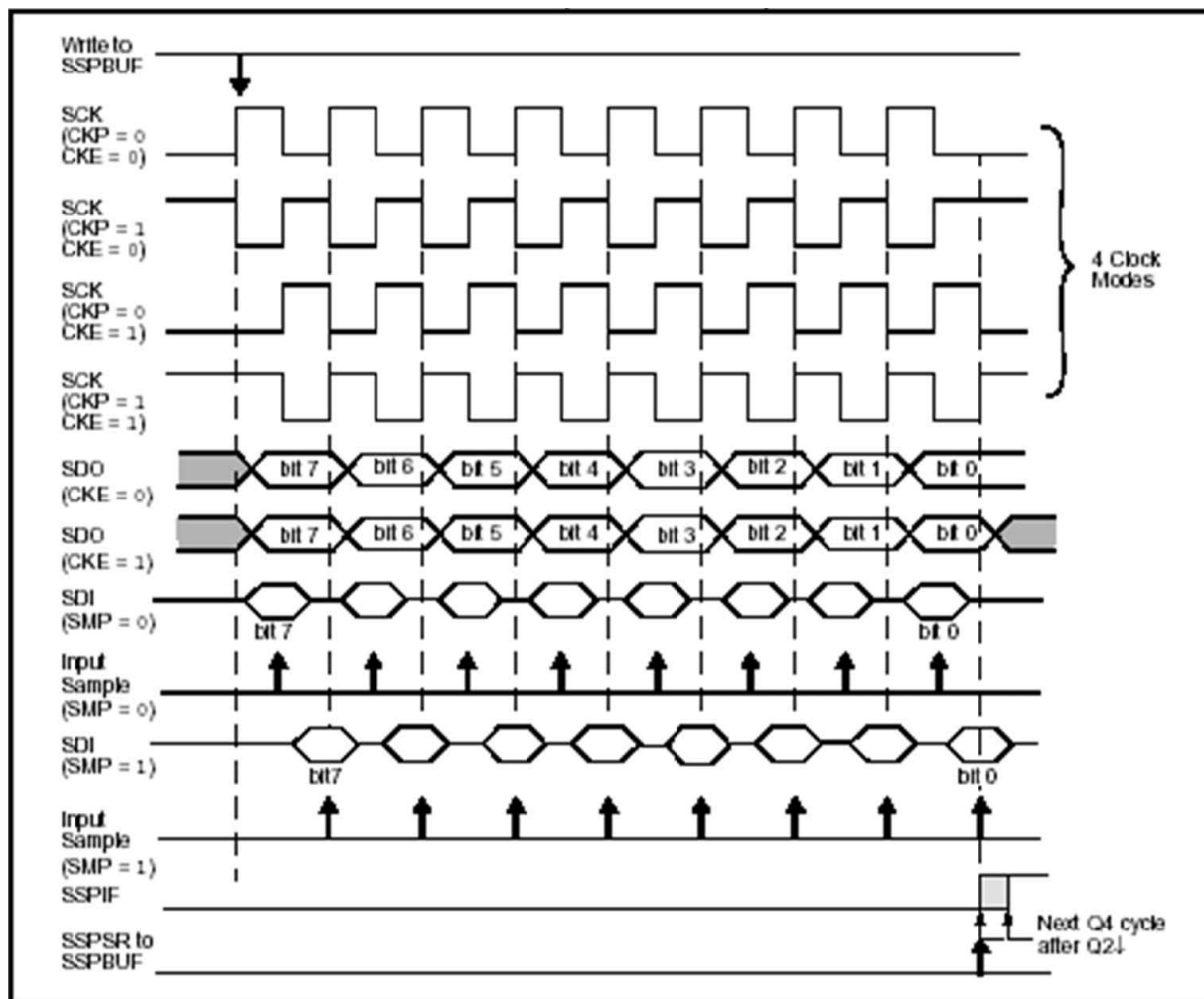
MSSP - Modo SPI

● Introdução

● Registos

● **Operação**

MSSP - Modo I^2C



- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- Introdução

- Registos

- **Operação**

- MSSP - Modo I^2C

Modo Slave:

Em modo slave, os dados transmitidos e recebidos são comandados pelos pulsos do sinal do relógio externo colocado na entrada SCK do escravo.

Assim que o último bit do byte é transmitido ou recebido, a flag de interrupção SSPIF fica a 1.

Note-se que em modo escravo, a fonte externa de relógio é fornecida através do sinal colocado no pino SCK, devendo garantir-se que as especificações eléctricas são cumpridas.

O escravo pode transmitir e receber dados em modo sleep. Quando um byte é recebido o escravo acorda.

Deve ainda haver cuidado na configuração do estado inactivo do relógio, configuração do bit CKP (SSPCON1<4>), a qual deve ser idêntica à do mestre.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

● Introdução

● Registos

● Operação

MSSP - Modo I^2C

Modo Slave síncrono:

O pino \overline{SS} permite a sincronização do modo slave; note-se que para que este modo seja possível o SPI tem de estar em modo slave com a permissão do pino de controlo \overline{SS} , ou seja $SSPCON1<3:0> = 04h$.

Para além disso o bit do registo $TRISC<5>$ deve ser colocado a 1, de modo a que o pino \overline{SS} funcione como entrada.

Quando o pino \overline{SS} está no nível baixo, a transmissão ou a recepção são permitidas e o pino SDO encontra-se a enviar dados.

Quando o pino \overline{SS} está no nível alto, o pino SDO deixa de enviar dados, mesmo que se encontre a meio da transmissão de um byte, tornando-se numa saída flutuante (estado indefinido).

Nota: em modo síncrono haverá reset do SPI sempre que se colocar o pino \overline{SS} ao mesmo nível de V_{DD} .

Nota: se o SPI estiver a ser utilizado em modo slave com o bit CKE a 1, então o pino \overline{SS} tem de estar activo.

Operação em modo SPI

A Figura seguinte mostra as formas de ondas para o modo SPI slave síncrono.

● Módulo MSSP

MSSP - Introdução

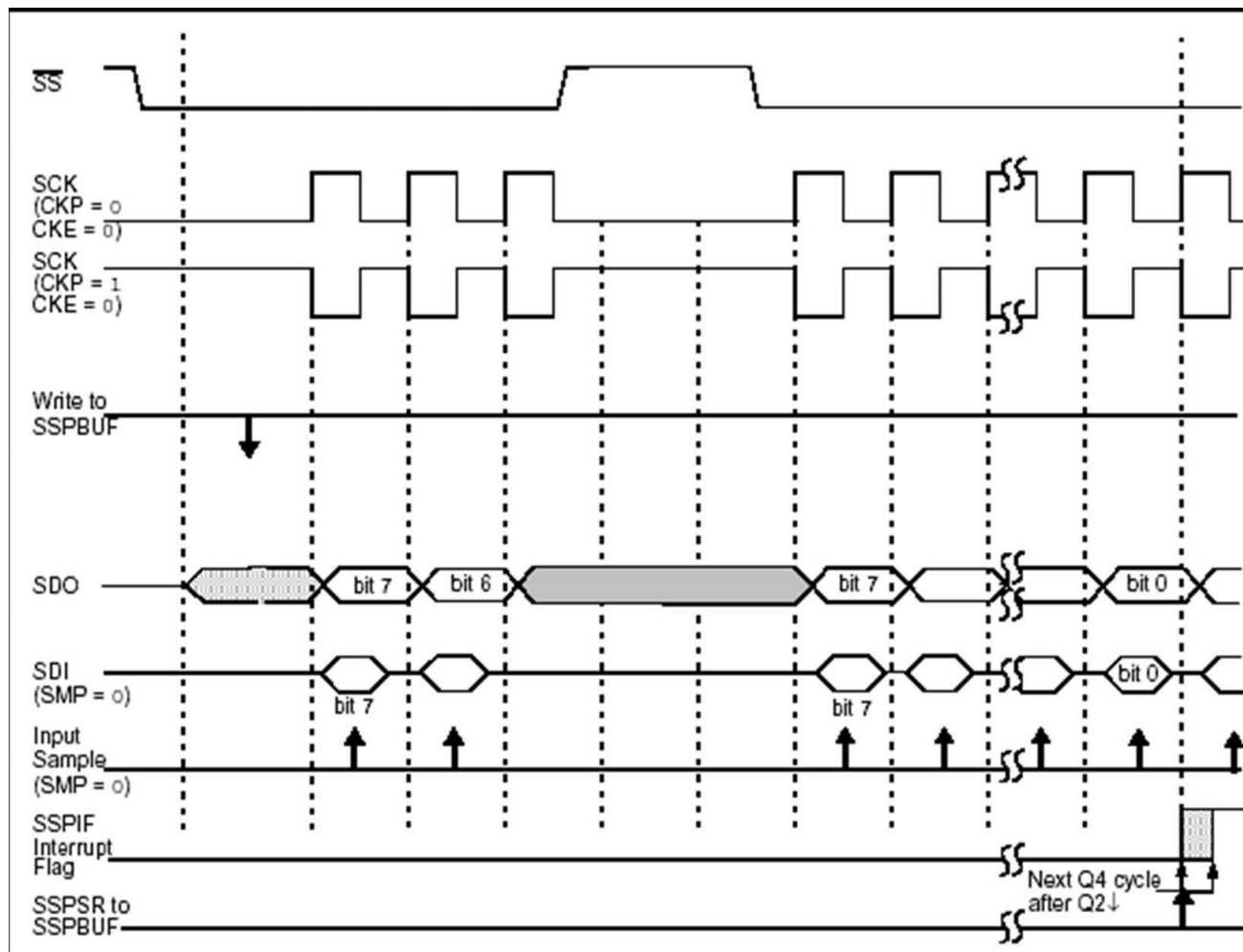
MSSP - Modo SPI

● Introdução

● Registos

● **Operação**

MSSP - Modo I^2C



- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

O módulo MSSP a operar em modo I^2C integra por completo todas as funções de mestre e escravo, incluindo chamada geral, endereçamento específico do escravo, providenciando ainda eventos de interrupção de hardware associados aos bits start e stop, o que permite determinar um barramento livre (função multi-master).

O módulo MSSP em modo I^2C permite a realização de endereçamento de 7 bits ou de 10 bits.

Utilizam-se dois pinos para a transferência de dados:

- Relógio série - (SCL) - RC3/SCK/SCL;
- Dados série - (SDA) - RC4/SDI/SDA.

O utilizador deve configurar de forma apropriada estes pinos como entradas ou saídas através dos bits TRISC<4:3> bits.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

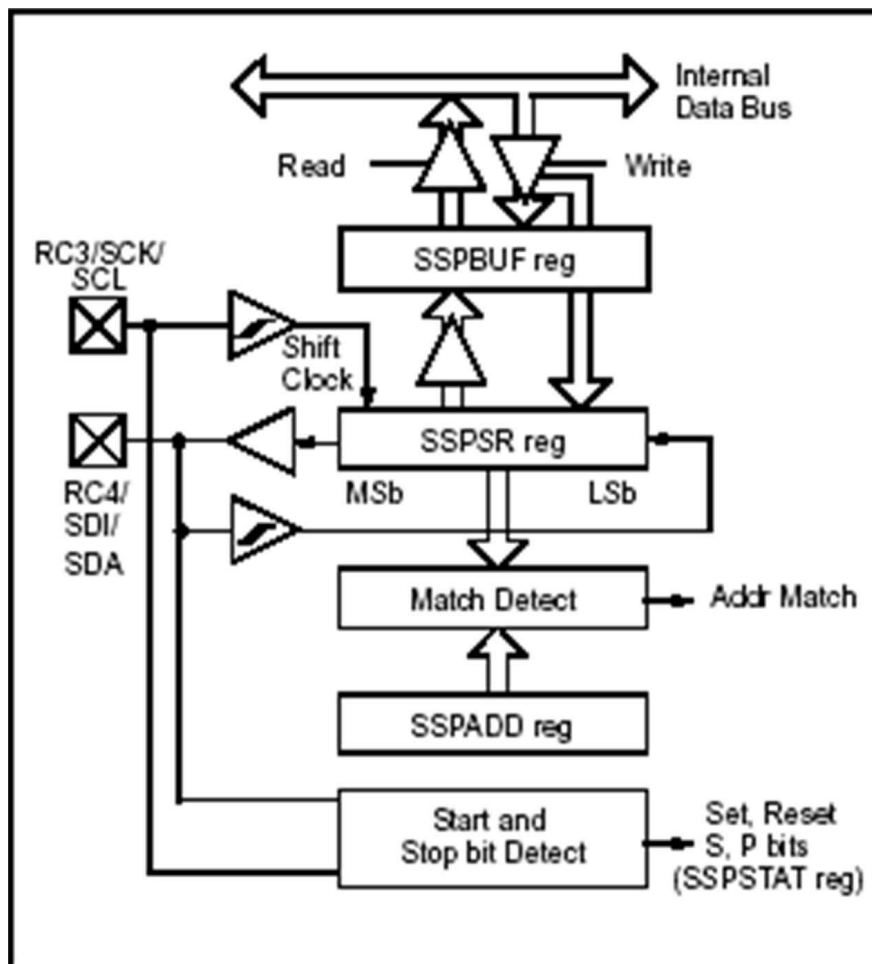
- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

A Figura seguinte mostra o diagrama de blocos do MSSP a operar em modo I^2C .



● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

● Introdução

● Registos

● Operação

O módulo MSSP integra 6 registos para a operação em modo I^2C , designadamente:

- Registo de controlo 1 (SSPCON1);
- Registo de controlo 2 (SSPCON2);
- Registo de estado (SSPSTAT);
- Buffer (SSPBUF);
- Registo de deslocamento (SSPSR) - não é acessível de forma directa;
- Registo de endereço (SSPAD).

Os registos de controlo são ambos de escrita e leitura. Apenas os dois bits mais significativos do registo de estado são de escrita e leitura, sendo os restantes apenas de leitura.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

O registo de deslocamento e o buffer têm funções semelhantes ao descrito pra o modo SPI.

O registo SSPADD guarda o endereço do escravo quando o MSSP está configurado no modo I^2C slave.

Quando o MSSP está configurado no modo I^2C master, os sete bits do SSPADD funcionam como valor de recarga para o gerador da Baud Rate.

Tal como no modo SPI, nas operações de recepção, SSPSR e SSPBUF também funcionam como buffer duplo. Quando SSPSR recebe um byte completo, transfere-o para SSPBUF, desencadeando-se o evento de interrupção associado (flag SSPIF fica a 1).

No caso da transmissão, tal como no modo SPI, não existe buffer duplo, ou seja, a escrita em SSPBUF resulta na escrita simultânea em SSPSR.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

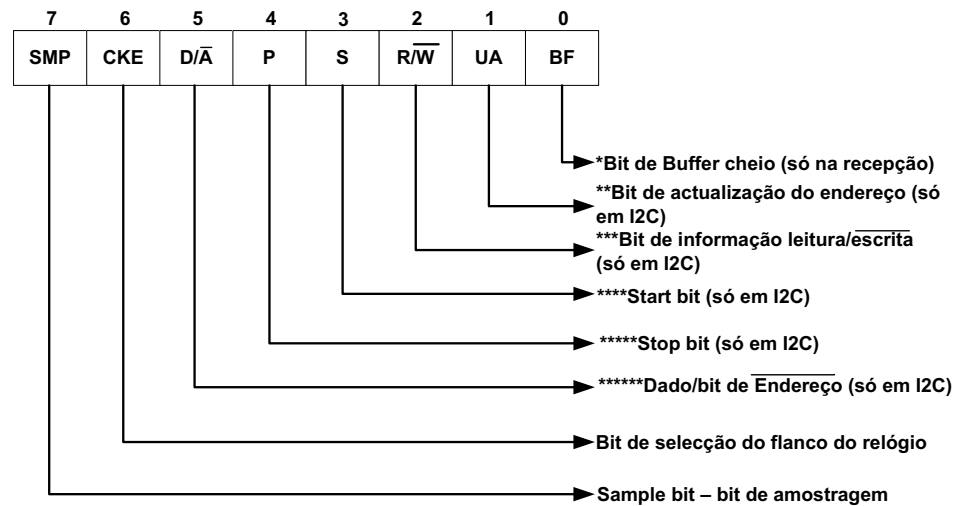
MSSP - Modo I^2C

● Introdução

● Registos

● Operação

SSPSTAT – Registo de Estado do Módulo MSSP – Modo I2C



*BF:

Recepção/Transmissão:

- 1 - Recepção completa/Transmissão em progresso e SSPBUF está cheio;
- 0 - Recepção em progresso/Transmissão completa e SSPBUF está vazio.

(Na transmissão não inclui os bits stop e \overline{ACK})

** UA (apenas para o modo escravo 10 bits):

- 1 – o utilizador pretende fazer uma actualização do endereço no registo SSPADD;
- 0 – o endereço não necessita de ser actualizado.

*** $\overline{R/W}$:

Modo I2C Master:

- 1 – Transmissão em progresso;
- 0 – Transmissão não está em progresso.

Modo I2C Slave:

- 1 – Leitura;
- 0 – Escrita.

****S:

- 1 – Indica que foi detectado o start bit;
- 0 – Indica que não foi detectado o start bit.

*****P:

- 1 – Indica que foi detectado o stop bit;
- 0 – Indica que não foi detectado o stop bit.

***** $\overline{D/A}$ (em modo I2C Slave):

- 1 – Indica que o último byte recebido é de dados;
- 0 – Indica que o último byte recebido é de endereço.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

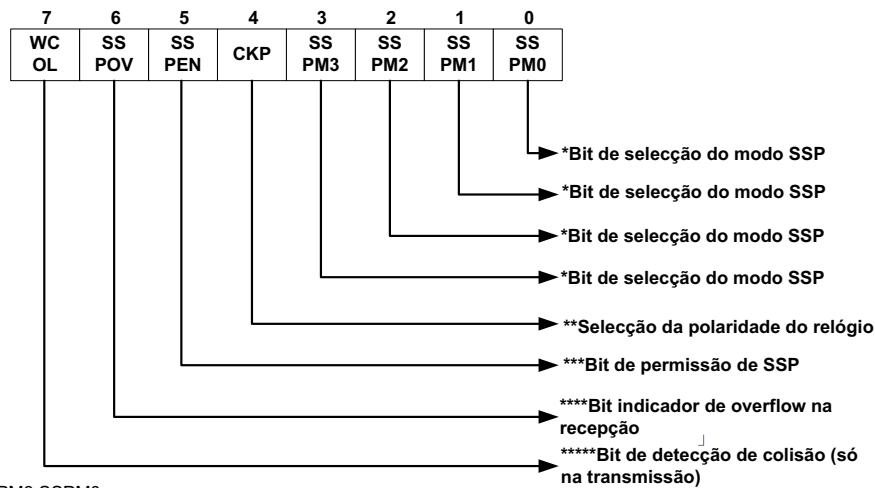
MSSP - Modo I²C

● Introdução

● Registos

● Operação

SSPCON1 – Registo de Controlo 1 do Módulo MSSP – Modo I2C



*SSPM3:SSPM0:

- 1111 = Modo Slave I2C, endereço de 10 bits e eventos de interrupção associados aos bits stop e start;
- 1110 = Modo Slave I2C, endereço de 7 bits e eventos de interrupção associados aos bits stop e start;
- 1011 = Modo Master I2C controlado por firmware;
- 1000 = Modo Master I2C, relógio = $F_{osc}/(4*(SSPADD+1))$;
- 0111 = Modo Slave I2C, endereço de 10 bits;
- 0110 = Modo Slave I2C, endereço de 7 bits.

**CKP (só em Modo Slave):

- 1 – Liberta o sinal de relógio;
- 0 – Mantém o estado do sinal de relógio no nível baixo, utilizado para garantir o tempo de início da transmissão/recepção.

***SSPEN:

- 1 – Activa o porto série e configura os pinos SDA, SCL como pinos do porto série;
- 0 – Desactiva o porto série e os pinos mencionados são pinos normais de I/O.

****SSPOV (só na recepção):

- 1 – Um novo byte está a ser recebido e o registo SSPBUF ainda contém o byte de dados anterior. Tem de ser limpo por software;
- 0 – Não há overflow.

*****WCOL:

Modo Master I2C:

- 1 – O registo SSPBUF é escrito enquanto as condições e I2C ainda não eram válidas para iniciar a transmissão (deve ser apagado por software);
- 0 – Não há colisão

Modo Slave I2C:

- 1 – O registo SSPBUF é escrito enquanto ainda se está a transmitir a palavra anterior (deve ser apagado por software);
- 0 – Não há colisão

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

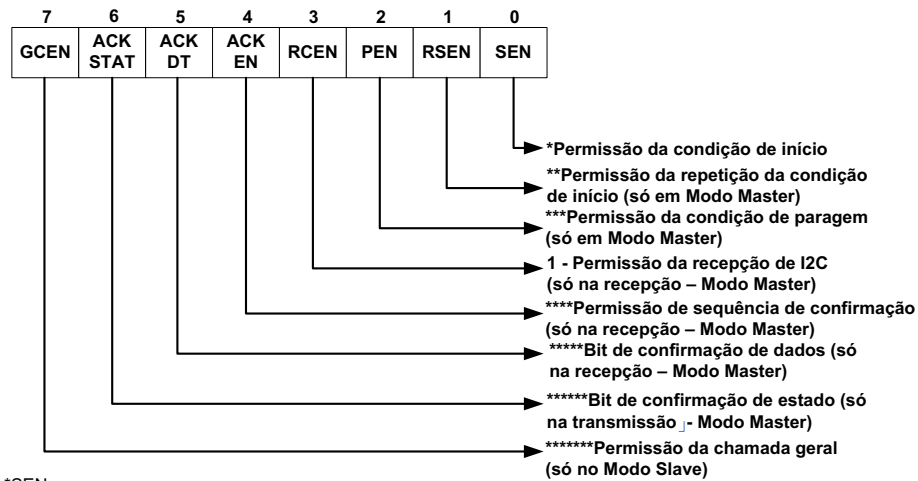
MSSP - Modo I^2C

● Introdução

● Registos

● Operação

SSPCON2 – Registo de Controlo 2 do Módulo MSSP – Modo I2C



*SEN:

Modo Master:

- 1 - Inicia condição de início nos pinos SDA e SCL (limpo automaticamente por hardware);
- 0 - Condição de início desactivada.

Modo Slave:

- 1 - Permissão de clock stretching na transmissão e recepção- mantém o pino SCL no nível baixo após a recepção ou transmissão de cada sequência;
- 0 - Permissão de clock stretching apenas na transmissão.

**RSEN:

- 1 - Inicia repetição da condição início nos pinos SDA e SCL (limpo automaticamente por hardware);
- 0 - Repetição da condição de início desactivada.

***PEN:

- 1 - Inicia condição de paragem nos pinos SDA e SCL (limpo automaticamente por hardware);
- 0 - Condição de paragem desactivada.

****ACKEN:

- 1 - Inicia sequência de confirmação nos pinos SDA e SCL e transmite o bit de dados ACKDT (limpo automaticamente por hardware);
- 0 - Sequência de confirmação desactivada.

*****ACKDT:

- 1 - Não há confirmação;
- 0 - Há confirmação.

Nota: valor que será transmitido quando o utilizador inicia uma sequência de reconhecimento no final de cada recepção.

*****ACKSTAT:

- 1 - Não foi recebida a confirmação do escravo;
- 0 - Foi recebida a confirmação do escravo.

*****GCEN:

- 1 - Activa a interrupção quando uma chamada geral de endereço (0000h) é recebida em SSPSR;
- 0 - A chamada geral de endereço está desactivada.

Operação em modo I^2C

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

● Introdução

● Registos

● Operação

Para uma operação em modo I^2C o primeiro passo consiste em activar o módulo MSSP, colocando o bit SSPEN a 1 (SSPCON1<5>).

De seguida deve-se configurar o modo I^2C específico, configurando os bits SSPCON1<3:0>:

- Modo I^2C Master, em que o sinal de relógio é igual a $\frac{OSC}{4} \times (SSPADD + 1)$;
- Modo I^2C Slave (endereço de 7 bits);
- Modo I^2C Slave (endereço de 10 bits);
- Modo I^2C Slave (endereço de 7 bits) com eventos de interrupção associados aos bits de start e stop;
- Modo I^2C Slave (endereço de 10 bits) com eventos de interrupção associados aos bits de start e stop;
- Modo I^2C Master controlado por firmware;[0.2cm]

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

A selecção de qualquer um dos modos anteriores em conjunto com activação do bit SSPEN força os pinos SCL e SDA a serem do tipo dreno aberto. Desta forma, para que haja uma operação correcta do módulo MSSP é necessário colocar resistências de pull-up externas nos pinos SCL e SDA.

Deve-se configurar os bits do registo TRISC<3:4>, correspondentes aos pinos SCL e SDA, como entradas.

Modo Slave:

Neste modo de operação ambos os pinos, SCL e SDA, devem estar configurados como entradas, colocando os bits TRISC<3:4> a 1.

Note-se que o módulo MSSP quando pretender fazer uma transmissão através do escravo realiza um override ao registo TRISC.

Operação em modo I^2C

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Sempre que houver uma coincidência de endereço, o hardware do escravo I^2C desencadeará uma interrupção. O utilizador pode ainda seleccionar interrupções nos bits de start e stop

Sempre que ocorre uma coincidência de endereço, o hardware gera automaticamente um pulso de confirmação (\overline{ACK}) e carrega o valor do registo SSPBUF com o valor recebido para o registo SSPSR.

Qualquer uma das condições seguintes impedirá o envio do pulso de confirmação pelo módulo MSSP:

- O bit BF (Buffer Full - SSPSTAT<0>) ficou a 1 antes da transferência ser recebida;
- O bit OV (Overflow Bit - SSPSTAT<6>) ficou a 1 antes da transferência ser recebida.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Endereçamento de 7 bits:

Assim que o módulo SSP ficar activo ele vai ficar à espera que ocorra uma condição de início.

Assim que ocorrer a condição de início, os 8 bits são deslocados para o registo SSPSR. Todos os bits são amostrados no flanco ascendente do sinal de relógio colocado em SCL.

O valor do registo SSPSR<7:1> é comparado com o valor do registo SSPADD. A comparação é feita no bordo descendente do 8^o flanco descendente do sinal SCL.

Se houver coincidência do endereço e se os bits BF e SSPOV estiverem a zero, ocorrerão os seguintes eventos:

1. O valor do registo SSPSR é carregado para o registo SSPBUF;
2. BF fica a 1;
3. O pulso de confirmação \overline{ACK} é gerado;
4. A flag de interrupção SSPIF (PIR1<3>) é colocada a 1 no bordo descendente do 9^o pulso do sinal SCL.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Endereçamento de 10 bits:

No caso do endereçamento de 10 bits, o escravo necessita de receber 2 bytes com o endereço.

Os 5 bits mais significativos do primeiro byte de endereço especificam se aquele byte é parte do endereço de 10 bits.

O bit R/\overline{W} (SSPSTAT<2>) deve estar configurado para escrita, de modo a que o escravo possa receber o segundo endereço.

Para um endereço de 10 bits, o primeiro byte deve conter os seguintes valores "11110 A9 A8 0", onde A9 e A8 são os dois bits mais significativos do endereço de 10 bits.

De seguida apresenta-se a sequência de eventos associada ao endereçamento de 10 bits - note-se que os passos 7 a 9 referem-se à transmissão do escravo.

- Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

- Introdução

- Registos

- **Operação**

Endereçamento de 10 bits:

1. Recepção do primeiro byte (MSB) de endereço (os bits SSPSIF, BF e UA SSPSTAT<1> estão a 1);
2. Actualizar o SSPADD com segundo byte (LSB) de endereço (limpar o bit UA e libertar a linha SCL);
3. Ler o registo SSPBUF (limpar o bit BF) e limpar a flag SSPIF;
4. Receber o segundo byte (LSB) de endereços (os bits SSPSIF, BF e UA SSPSTAT<1> estão a 1);
5. Actualizar o byte SSPADD com primeiro byte (MSB) de endereço, se houver coincidência libertar a linha SCL e consequentemente limpar UA);
6. Ler o registo SSPBUF (limpar o bit BF) e limpar a flag SSPIF;
7. Receber a condição de repetição de início;
8. Recepção do primeiro byte (MSB) de endereço (os bits SSPSIF e BF estão a 1);
9. Ler o registo SSPBUF (limpar o bit BF) e limpar a flag SSPIF.

- Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Recepção no Modo Slave:

O bit R/\overline{W} do endereço de chegada está a zero e houve coincidência de endereço. O bit R/\overline{W} é colocado a zero.

O endereço recebido é carregado para o registo SSPBUF e a linha SDA é mantida a zero (\overline{ACK}).

Caso ocorra uma condição de overflow do endereço, ou seja, se os bits SSPOV ou BF ficarem a 1, então não ocorrerá confirmação \overline{ACK} .

É gerada uma interrupção sempre que ocorra a transferência de um byte de dados. Note-se que a flag SSPIF (PIR1<3>) deve ser limpa por software.

Caso o bit SEN (SSPCON2<0>) esteja a 1, o pino RC3/SCK/SCL é mantido a zero a seguir a cada transferência de dados (*Clock Stetch*). A relógio deve ser libertado, colocando o pino CKP (SSPCON1<4>) a 1.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Transmissão no Modo Slave:

O bit R/\overline{W} do endereço de chegada está a 1 e houve coincidência de endereço. O bit R/\overline{W} é colocado a um.

O endereço recebido é carregado para o registo SSPBUF. O pulso de confirmação \overline{ACK} é enviado no 9º pulso e o pino RC3/SCK/SCL é colocado a zero independentemente do valor de SEN.

Obrigando o sinal de relógio a estar a zero (stretching), o mestre fica impedido de enviar sinal de relógio enquanto o escravo não estiver preparado para enviar os dados.

Os dados a serem transmitidos devem ser carregados para o registo SSPBUF. No caso da transmissão não há buffer duplo e o SSPSR é carregado em simultâneo.

O pino RC3/SCK/SCL fica livre colocando o pino CKP (SSPCON1<4>) a 1. Os 8 bits de dados a serem transmitidos são deslocados em cada bordo descendente do sinal colocado em SCL.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Transmissão no Modo Slave:

O pulso de confirmação (\overline{ACK}) é lançado no 9º bordo ascendente do pulso SCL.

Se a linha SDA estiver a 1, não confirmação, a transferência de dados está completa. Neste caso ocorre um reset do registo SSPSTAT e o escravo fica à espera de uma nova ocorrência do start bit.

Se, por outro lado, a seguir à transmissão do byte houver confirmação, \overline{ACK} a zero, então o novo byte de dados a ser transmitido deve ser carregado para SSPBUF.

Mais uma vez o pino RC3/SCK/SCL deve ser libertado, colocando o bit CKP a 1.

Cada vez que há transferência de um byte a flag SSPIF fica a 1 no flanco descendente do 9º pulso de SCL. Esta flag deve ser apagada por software. O registo SSPSTAT pode ser usado para saber o estado de transmissão de cada byte.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Modo Master:

Assim que o modo Master é activado através da configuração apropriada dos bits SSPM do registo SSPCON1 e colocando o bit SSPEN a 1, o utilizador tem 6 opções:

1. Estabelecer uma condição de início em SDA e SCL;
2. Estabelecer uma condição de início repetida em SDA e SCL;
3. Escrever em SSPBUF, iniciando assim a transmissão de endereços ou dados;
4. Configurar o porto I^2C para receber dados;
5. Gerar uma condição de confirmação no final da recepção do byte de dados;
6. Gerar uma condição de paragem em SDA e SCL.

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

● Introdução

● Registos

● Operação

Modo Master:

De seguida apresenta-se a listagem de condições que causarão uma interrupção, caso esta esteja permitida (flag SSPIF a 1:)

- Condição de início;
- Condição de paragem;
- Transferência de um byte de dados para transmissão/recepção;
- Transmissão da confirmação;
- Repetição da condição de início.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Operação em Modo Master:

O dispositivo Master é responsável por gerar os pulsos de relógio e as condições de início e de paragem.

Uma transferência é terminada com uma condição de paragem, ou com uma condição de início repetida.

Como uma condição de início repetida é também o início da próxima transferência série, o barramento I^2C não será libertado.

Condição de início: Acção que coloca SDA a zero enquanto SCL está a 1. Esta acção coloca o bit S (SSPSTAT<3>) a 1. Mas para que haja uma condição de início, o utilizador tem de colocar o bit SEN (SSPCON2<0>) a 1.

Condição de paragem: Acção que coloca o pino SDA a 1, enquanto SCL está a 1. Nestas condições o bit P (SSPSTAT<4>) é colocado a 1, caso o bit PEN (activação da condição de stop) estiver activo.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Transmissão em Modo Master:

No modo de transmissão Master, os dados são transmitidos a partir de SDA, enquanto que o pino SCL fornece na sua saída os pulsos do sinal de relógio.

Se o endereçamento é de sete bits, o primeiro byte a ser transmitido contém o endereço de 7 bits do escravo (dispositivo que deverá receber os dados) e o bit R/\overline{W} . Neste caso, como o mestre pretende enviar dados para o escravo, o bit R/\overline{W} deve estar a zero.

Os dados são transmitidos por byte.

Sempre que um byte é transmitido, o mestre recebe um bit de confirmação.

O mestre envia condições de início e de paragem, por forma a indicar o início e o final da transferência.

- Módulo MSSP

- MSSP - Introdução

- MSSP - Modo SPI

- MSSP - Modo I^2C

- Introdução

- Registos

- Operação

Recepção em Modo Master:

No modo de recepção Master com endereçamento de sete bits, o mestre primeiro envia um byte ao escravo que contém nos sete bits mais significativos o endereço do escravo que deve enviar os dados ao mestre. No bit menos significativo encontra-se o bit R/\overline{W} que neste caso deve estar a 1. Desta forma o escravo sabe que tem de enviar dados ao mestre.

De seguida o mestre recebe os dados via SDA (que neste caso é uma entrada), enquanto que SCL continua a fornecer a saída de pulsos do sinal de relógio.

Os dados são recebidos no formato byte.

Sempre que um byte é recebido, um bit de confirmação é transmitido e também aqui as condições de início e paragem indicam respectivamente o início e o final da recepção.

O gerador de Baud Rate utilizado no modo SPI é aqui utilizado para gerar a frequência do sinal relógio em SCL (100 kHz, 400 kHz ou 1 MHz).

● Módulo MSSP

MSSP - Introdução

MSSP - Modo SPI

MSSP - Modo I^2C

● Introdução

● Registos

● Operação

Ver com mais detalhe:

- Clock Stetching;
- Chamada geral de endereço;
- Condições de início, fim e repetição de início;
- Confirmação e sequência de confirmação;
- Modo Multi-Master;
- Colisão e arbitragem em modo multi-master.