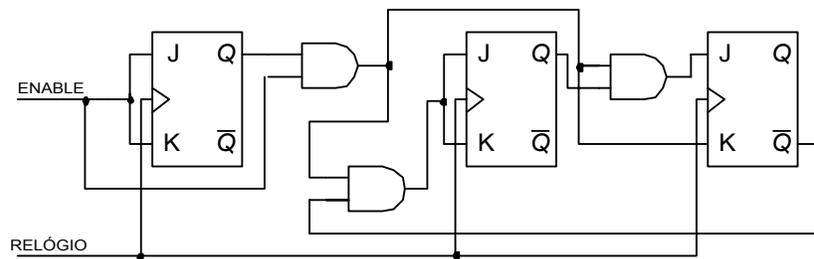




PARTE PRÁTICA

1. Desenhe o diagrama temporal originado pelo seguinte circuito durante 5 transições de relógio. Considere que as saídas dos flip-flops estão inicialmente todas a zero e que a entrada Enable tem a configuração apresentada no diagrama temporal. Considere o bit A (flip-flop mais à direita) como o menos significativo e que os flip-flops reagem no flanco ascendente. **NOTA:** Este exercício não será cotado, caso os alunos não apresentem os cálculos justificativos para cada transição.



2. Projecte um contador, com flip-flops D, que apresente nas suas saídas a seguinte sequência: 1-2-3-4-5-1....O contador deve ter uma entrada ENABLE que inibe a contagem quando se encontra a “0” e permite a contagem quando se encontra a “1”. **O contador deve ser AUTO-CORRECTOR.**
3. Pretende-se implementar um circuito votador de 3 entradas com um multiplexer 4:1. Um circuito votador de 3 entradas tem a saída a “0” se 2 ou mais entradas estão a “0” e a “1” se duas ou mais entradas estão a “1”.