INSTITUTO POLITÉCNICO DE TOMAR

Engenharia Electrotécnica

Exame Sistemas Digitais

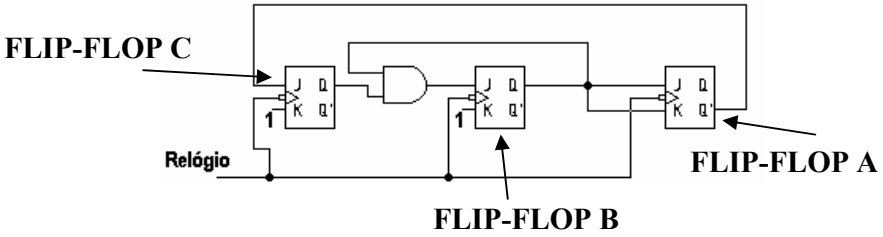
15 de Fevereiro de 2002

PARTE PRÁTICA

1. Projecte um contador binário de 3 bits, que realize a sequência dos números ímpares, no sentido descendente (7-5-3-1-7). O salto de um estado para o outro é controlado pelo valor de uma entrada Enable que quando está a zero permite o salto para o valor seguinte e quando está a 1 mantém o estado actual.

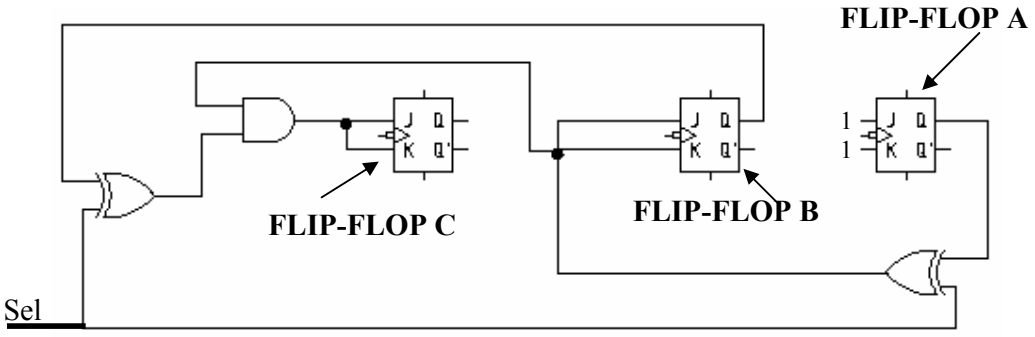
   Nota: Deve garantir que o circuito é auto-corrector.

2. Represente o diagrama temporal das saídas dos três flip-flops (Q_C, Q_B, Q_A,), durante seis transições de relógio. **O estado inicial das saídas é "0"**. **(Apresente os cálculos que efectuar, caso contrário a resposta não será validada)**. Considere o bit A como o menos significativo.



O Bit A é o menos significativo. Os Filp-Flops Reagem no flanco ascendente. Não serão consideradas as respostas que tiverem por base outros pressupostos.

3. Analise o seguinte circuito, determinando o seu diagrama de estados (note que o circuito tem uma entrada de controlo **SEL**).



O Bit A é o menos significativo. Os Flip-Flops reagem no flanco ascendente. Não serão consideradas as respostas que tiverem por base outros pressupostos.